

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC979 U.S. PTO
09/867423
05/31/01

V

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 5月31日

出 願 番 号
Application Number:

特願2000-161677

出 願 人
Applicant(s):

日本電気株式会社

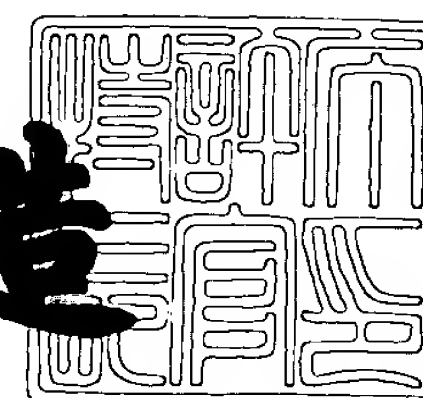
#2
5/2/01

M. Bridges

2001年 2月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3011522

【書類名】 特許願

【整理番号】 74610457

【提出日】 平成12年 5月31日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明の名称】 カラー液晶表示装置及びその製造方法

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 田中 宏明

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 坂本 道昭

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 渡邊 貴彦

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100081433

 【弁理士】

 【氏名又は名称】 鈴木 章夫

【手数料の表示】

 【予納台帳番号】 007009

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 カラー液晶表示装置及びその製造方法

【特許請求の範囲】

【請求項 1】 透明絶縁性基板上に薄膜トランジスタ、カラーフィルタ、ブラックマトリクス及び画素電極が形成されたカラーアクティブマトリクス基板を含むカラー液晶表示装置において、前記薄膜トランジスタは、ゲート電極、ゲート絶縁膜、半導体層、オーミック層、一对のソース・ドレイン電極が積層された逆スタガ構造とされ、前記半導体層に構成されるチャネル領域において、前記オーミック層、前記ソース・ドレイン電極及び前記ブラックマトリクスが同一平面形状であることを特徴とするカラー液晶表示装置。

【請求項 2】 透明絶縁性基板上に薄膜トランジスタ、カラーフィルタ、ブラックマトリクス及び画素電極が形成されたカラーアクティブマトリクス基板を含むカラー液晶表示装置において、前記薄膜トランジスタは、ゲート電極、ゲート絶縁膜、半導体層、オーミック層、一对のソース・ドレイン電極が積層された逆スタガ構造とされ、前記オーミック層と前記ソース・ドレイン電極は同一の平面形状であることを特徴とするカラー液晶表示装置。

【請求項 3】 前記ドレイン電極につながるドレインバスラインは、前記半導体層、前記オーミック層、前記ソース・ドレイン電極を構成する金属膜と同一の金属膜の積層構造であることを特徴とする請求項 1 または 2 に記載のカラー液晶表示装置。

【請求項 4】 前記ブラックマトリクスは、前記カラーフィルタの少なくとも一部の周縁部において、当該周縁部を覆うように形成されていることを特徴とする請求項 1 ないし 3 のいずれかに記載のカラー液晶表示装置。

【請求項 5】 透明絶縁性基板に全面に第 1 導電膜を形成し、ゲート電極及びゲートバスラインを形成する工程と、全面にゲート絶縁膜、半導体層、オーミック層、第 2 導電膜を積層し、薄膜トランジスタのアイランド及びドレインバスラインを形成する工程と、前記透明絶縁性基板上の所要領域にカラーフィルタを形成する工程と、全面に遮光膜を形成し、少なくともチャネル領域以外の前記アイランドを覆う領域と前記カラーフィルタを除く領域に前記遮光膜を残してブラ

ックマトリクスを形成する工程と、前記アイランドにおいて前記ブラックマトリクスをマスクにして前記チャネル領域に相当する領域の前記第 2 導電膜及び前記オーミック層を除去してドレイン電極及びソース電極を形成する工程と、全面に平坦化膜を形成し、前記ソース電極を露出するコンタクトホールを開口する工程と、全面に透明導電膜を形成し、少なくとも前記カラーフィルタに重なる領域を含むように前記ソース電極に電気接続される画素電極を形成する工程とを含むことを特徴とするカラー液晶表示装置の製造方法。

【請求項 6】 透明絶縁性基板に全面に第 1 導電膜を形成し、ゲート電極及びゲートバスラインを形成する工程と、全面にゲート絶縁膜、半導体層、オーミック層、第 2 導電膜を積層し、階段状に形成されたフォトレジストにより前記第 2 導電膜、前記オーミック層、前記半導体層を所要パターンに形成して薄膜トランジスタのアイランド及びドレインバスラインを形成する工程と、さらに前記フォトレジストの薄い膜厚部分をアッシングにより除去した後、前記フォトレジストの残った部分によってチャネル領域に相当する領域の前記第 2 導電膜及び前記オーミック層を除去してドレイン電極及びソース電極を形成する工程と、前記透明絶縁性基板上の所要領域にカラーフィルタを形成する工程と、全面に遮光膜を形成し、少なくとも前記アイランドを覆う領域と前記カラーフィルタを除く領域に前記遮光膜を残してブラックマトリクスを形成する工程と、全面に平坦化膜を形成し、かつ前記ソース電極を露出するコンタクトホールを開口する工程と、全面に透明導電膜を形成し、かつ少なくとも前記カラーフィルタに重なる領域を含むように前記ソース電極に電気接続される画素電極を形成する工程とを含むことを特徴とするカラー液晶表示装置の製造方法。

【請求項 7】 前記ドレイン電極及びソース電極を形成した後に、全面に透明な保護絶縁膜を形成する工程を含み、前記保護絶縁膜の上に前記カラーフィルタ及びブラックマトリクスを形成することを特徴とする請求項 6 に記載のカラー液晶表示装置の製造方法。

【請求項 8】 前記コンタクトホールを開口する工程と同時に、前記ゲートバスラインの端部を露出するゲート端子部コンタクトホールと、前記ドレインバスラインの端部を露出するドレイン端子部コンタクトホールを形成し、前記透明

導電膜を前記両コンタクトホール内に形成することで前記ゲートバスラインに電気接続されるゲート端子及び前記ドレインバスラインに電気接続されるドレイン端子を形成することを特徴とする請求項5ないし7のいずれかに記載のカラー液晶表示装置の製造方法。

【請求項9】 前記遮光膜は、前記カラーフィルタの少なくとも一部の周縁部においては、当該周縁部を覆うようにパターン形成することを特徴とする請求項5ないし8のいずれかに記載のカラー液晶表示装置の製造方法。

【請求項10】 前記カラーフィルタは透明着色樹脂を前記透明絶縁性基板上に塗布し、露光、現像して所要のパターンに形成し、前記ブラックマトリクスは黒色樹脂を前記透明絶縁性基板上に塗布し、露光、現像して所要のパターンに形成することを特徴とする請求項5ないし9のいずれかに記載のカラー液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はカラー液晶パネルに関し、特に薄膜トランジスタ（以下、TFTと略称する）とカラーフィルタ及び画素電極とを同一基板に搭載したカラーアクティブマトリクス基板を備えるカラー液晶表示装置とその製造方法に関するものである。

【0002】

【従来の技術】

近年、アクティブマトリクス型のカラー液晶表示装置では、画素電極と、前記画素電極に印加する電圧を制御するためのTFTとがマトリクス配置されたアクティブマトリクス基板として、BGR（青・緑・赤）の各カラーフィルタを一体的に搭載した、COT（カラーフィルタ・オン・トランジスタアレイ）基板が用いられている。そして、このCOT基板と対向基板との間に液晶を挟み込み、電極間に印加した電圧で液晶を駆動し、前記カラーフィルタを透過した色光によりカラー表示を行う構成とされている。

【0003】

図 1 7 は、前記 C O T 基板の一例の構造を示す断面図であり、特開平 4 - 2 5 3 0 2 8 号公報に記載されている構造である。この構造を、同図と図 1 8 の製造工程図を参照して説明する。まず、透明なガラス基板 3 0 1 の表面にゲート材料としてタンタル (T a) 膜を形成し、第 1 フォトリソグラフィ工程 (以下、P R 工程と称する) により前記タンタル膜を所要のパターンに形成してゲート電極 3 0 2 及び図外のゲートバスラインを形成する (S 3 0 1)。次いで、S i N x からなるゲート絶縁膜 3 0 3 を形成した後、真性 a - S i 膜 (アモルファスシリコン膜) 3 0 4 及びチャネル保護膜 3 0 5 を形成し、第 2 P R 工程により前記チャネル保護膜 3 0 5 を所要のパターンに形成する (S 3 0 2)。次いで、n + 型 a - S i 膜 3 0 6 を形成し、前記 n + 型 a - S i 膜 3 0 6 及び前記真性 a - S i 膜 3 0 4 を第 3 P R 工程によりパターン形成してアイランド 3 0 7 を形成する (S 3 0 3)。次いで、チタン (T i) 膜 3 0 8 を形成し、第 4 P R 工程により前記チタン膜 3 0 8 を所要のパターンに形成してドレイン電極 3 0 9 及びソース電極 3 1 0、さらに図外のドレインバスラインを形成する (S 3 0 4)。

【 0 0 0 4 】

次いで、全面に透明樹脂膜 3 1 1 を形成した上で、第 5 P R 工程により図外のマスクを所要のパターンに形成し、このマスクを用いて前記透明樹脂膜 3 1 1 を選択的に赤色に着色して R 色カラーフィルタ 3 1 2 を形成する (S 3 0 5)。同様に、第 6 P R 工程により、図外のマスクを用いて前記透明樹脂膜 3 1 1 の他の領域を選択的に緑色に着色して図外の G 色カラーフィルタを形成する (S 3 0 6)。また、第 7 P R 工程により、図外のマスクを用いて前記透明樹脂膜 3 1 1 のさらに他の領域を選択的に青色に着色して B 色カラーフィルタ 3 1 3 を形成する (S 3 0 7)。次いで、第 8 P R 工程により、前記透明樹脂膜 3 1 1 に、前記ソース電極 3 1 0 の一部を露出するコンタクトホール 3 1 4 を開口する (S 3 0 8)。そして、全面に透明電極膜として I T O (Indium Tin Oxide) 膜を形成し、第 9 P R 工程により前記 I T O 膜を前記各カラーフィルタ 3 1 2, 3 1 3, …上の領域を含む所要のパターンに形成し、前記コンタクトホール 3 1 4 を通して前記ソース電極 3 1 0 に電気接続される画素電極 3 1 5 を形成する (S 3 0 9)。さらに、前記画素電極 3 1 5 を利用して、前記アイランドを覆う領域の前記透明

樹脂膜 3 1 1 を選択的に黒色に着色し、BM（ブラックマトリクス）3 1 6 を形成する（S 3 1 0）。その後は図示は省略するが、全面に配向膜を形成し、COT 基板が完成される。

【0 0 0 5】

【発明が解決しようとする課題】

以上のように、従来のCOT基板では、TFTを形成する工程として、ゲート電極3 0 2、ゲート電極上のチャネル保護膜3 0 5、アイランド3 0 7、ドレイン・ソースの各電極3 0 9、3 1 0を形成するために、第1ないし第4のPR工程の計4回のPR工程が必要とされる。また、RGB各色のカラーフィルタ3 1 2、3 1 3、…、画素電極3 1 5を形成する工程として、第5ないし第9のPR工程の計5回のPR工程が必要とされる。したがって、COT基板を製造する全体の工程においてPR工程が9回必要であり、製造工程数が多く、アクティブマトリクス型カラー液晶表示装置のコスト高の要因になっている。

【0 0 0 6】

本発明の目的は、製造工程数、特にPR工程数を削減し、低コスト化を実現したカラー液晶表示装置とその製造方法を提供するものである。

【0 0 0 7】

【課題を解決するための手段】

本発明の第1のカラー液晶表示装置は、透明絶縁性基板上にTFT、カラーフィルタ、ブラックマトリクス及び画素電極が形成されたカラーアクティブマトリクス基板を含むカラー液晶表示装置であって、前記TFTは、ゲート電極、ゲート絶縁膜、半導体層、オーミック層、一対のソース・ドレイン電極が積層された逆スタガ構造とされ、前記半導体層に構成されるチャネル領域において、前記オーミック層、前記ソース・ドレイン電極及び前記ブラックマトリクスが同一平面形状であることを特徴とする。

【0 0 0 8】

また、本発明の第2のカラー液晶表示装置は、透明絶縁性基板上にTFT、カラーフィルタ、ブラックマトリクス及び画素電極が形成されたカラーアクティブマトリクス基板を含むカラー液晶表示装置であって、前記TFTは、ゲート電極

、ゲート絶縁膜、半導体層、オーミック層、一对のソース・ドレイン電極が積層された逆スタガ構造とされ、前記オーミック層と前記ソース・ドレイン電極は同一の平面形状であることを特徴とする。

【 0 0 0 9 】

前記第 1 及び第 2 のカラー液晶表示装置においては、前記ドレイン電極につながるドレインバスラインは、前記半導体層、前記オーミック層、前記ソース・ドレイン電極を構成する金属膜と同一の金属膜の積層構造とされる。また、前記ブラックマトリクスは、前記カラーフィルタの少なくとも一部の周縁部において、当該周縁部を覆うように形成される。

【 0 0 1 0 】

本発明の第 1 のカラー液晶表示装置によれば、チャネル領域においてオーミック層、ソース・ドレイン電極、ブラックマトリクスが同一平面形状であり、これらを 1 回の P R 工程で形成することが可能である。また、本発明の第 2 のカラー液晶表示装置によれば、オーミック層とソース・ドレイン電極は同一平面形状であり、両者を 1 回の P R 工程で形成することが可能である。

【 0 0 1 1 】

一方、本発明の前記第 1 のカラー液晶表示装置の製造方法は、透明絶縁性基板に全面に第 1 導電膜を形成し、ゲート電極及びゲートバスラインを形成する工程と、全面にゲート絶縁膜、半導体層、オーミック層、第 2 導電膜を積層し、T F T のアイランド及びドレインバスラインを形成する工程と、前記透明絶縁性基板上の所要領域に三色のカラーフィルタを形成する工程と、全面に遮光膜を形成し、少なくともチャネル領域以外の前記アイランドを覆う領域と前記カラーフィルタを除く領域に前記遮光膜を残してブラックマトリクスを形成する工程と、前記アイランドにおいて前記ブラックマトリクスをマスクにして前記チャネル領域に相当する領域の前記第 2 導電膜及び前記オーミック層を除去してドレイン電極及びソース電極を形成する工程と、全面に平坦化膜を形成し、前記ソース電極を露出するコンタクトホールを開口する工程と、全面に透明導電膜を形成し、少なくとも前記カラーフィルタに重なる領域を含むように前記ソース電極に電気接続される画素電極を形成する工程とを含むことを特徴とする。

【 0 0 1 2 】

また、本発明の前記第 2 のカラー液晶表示装置の製造方法は、透明絶縁性基板に全面に第 1 導電膜を形成し、ゲート電極及びゲートバスラインを形成する工程と、全面にゲート絶縁膜、半導体層、オーミック層、第 2 導電膜を積層し、階段状に形成されたフォトリソトにより前記第 2 導電膜、前記オーミック層、前記半導体層を所要パターンに形成して T F T のアイランド及びドレインバスラインを形成する工程と、さらに前記フォトリソトの薄い膜厚部分をアッシングにより除去した後、前記フォトリソトの残った部分によってチャネル領域に相当する領域の前記第 2 導電膜及び前記オーミック層を除去してドレイン電極及びソース電極を形成する工程と、前記透明絶縁性基板上の所要領域に三色のカラーフィルタを形成する工程と、全面に遮光膜を形成し、少なくとも前記アイランドを覆う領域と前記カラーフィルタを除く領域に前記遮光膜を残してブラックマトリクスを形成する工程と、全面に平坦化膜を形成し、前記ソース電極を露出するコンタクトホールを開口する工程と、全面に透明導電膜を形成し、少なくとも前記カラーフィルタに重なる領域を含むように前記ソース電極に電気接続される画素電極を形成する工程とを含むことを特徴とする。なお、この製造方法においては、前記ドレイン電極及びソース電極を形成した後に、全面に透明な保護絶縁膜を形成する工程を含み、前記保護絶縁膜の上に前記カラーフィルタ及びブラックマトリクスを形成することが好ましい。

【 0 0 1 3 】

本発明の前記第 1 及び第 2 の製造方法においては、前記コンタクトホールを開口する工程と同時に、前記ゲートバスラインの端部を露出するゲート端子部コンタクトホールと、前記ドレインバスラインの端部を露出するドレイン端子部コンタクトホールを形成し、前記透明導電膜の一部により前記ゲートバスラインに電気接続されるゲート端子及び前記ドレインバスラインに電気接続されるドレイン端子を形成する。また、前記遮光膜は、前記カラーフィルタの少なくとも一部の周縁部においては、当該周縁部を覆うようにパターン形成して前記ブラックマトリクスを形成することが好ましい。さらに、前記三色のカラーフィルタはそれぞれの透明着色樹脂を前記透明絶縁性基板上に塗布し、かつ露光、現像して所要の

パターンに形成し、前記ブラックマトリクスは黒色樹脂を前記透明絶縁性基板上に塗布し、かつ露光、現像して所要のパターンに形成する。

【 0 0 1 4 】

本発明の製造方法によれば、本発明の第 1 及び第 2 のカラー液晶表示装置のいずれも、8 回の P R 工程で製造することが可能になり、P R 工程数の削減に伴う低コスト化が実現できる。

【 0 0 1 5 】

【発明の実施の形態】

次に、本発明の実施形態を図面を参照して説明する。図 1 は本発明が適用されるアクティブマトリクス型カラー液晶表示装置の C O T 基板の一部の概略構成図である。透明絶縁性基板 1 0 1 上に、互いに直交する方向にそれぞれ所要の間隔をおいて平行に延在する複数本のゲートバスライン 2 0 1 及びドレインバスライン 2 0 2 と、これらのバスラインで囲まれた領域に形成される画素電極 2 0 3 と、前記ゲートバスライン 2 0 1 と前記ドレインバスライン 2 0 2 の交差近傍領域に形成される T F T 2 0 0 とで構成されている。T F T はゲート電極とゲート絶縁膜を介してゲート電極に対向する半導体層とその上の一対のソース・ドレイン電極から構成され、前記ゲート電極はゲートバスラインに、ドレイン電極はドレインバスラインに、ソース電極は画素電極に接続される。また、前記画素電極 2 0 3 の直下位置には、R G B の各カラーフィルタが所定の配列で形成されている。なお、前記ゲートバスライン 2 0 1 の一端にはゲート端子 2 5 0 が、また前記ドレインバスライン 2 0 2 の一端または両端にはドレイン端子 2 6 0 がそれぞれ形成され、前記透明絶縁膜基板 1 0 1 の側縁部に沿って配列されている。なお、前記各端子 2 5 0, 2 6 0 には、図外の駆動回路（ドライバ）に接続されているテープ状配線が接続される。

【 0 0 1 6 】

図 2 は本発明の第 1 の実施形態の製造方法の工程を示すフロー図である。同図に示すように、第 1 の実施形態では、第 1 ないし第 8 の P R 工程で C O T 基板を製造する。すなわち、第 1 P R 工程ではゲート電極及びゲートバスラインを形成する（S 1 0 1）。第 2 P R 工程では、ゲート絶縁膜上に T F T 部のアイランド

及びドレインバスラインを形成する（S 1 0 2）。第 3 P R 工程ないし第 5 P R 工程では、画素部に R G B の各カラーフィルタを形成し（S 1 0 3 ～ S 1 0 5）、第 6 P R 工程では T F T のチャネル領域以外の前記アイランドを覆う領域と前記カラーフィルタを除く領域にブラックマトリクスを形成すると同時にソース・ドレイン電極を形成する（S 1 0 6）。さらに、第 7 P R 工程ではソース電極部、ゲート及びドレイン電極部にコンタクトホールを形成し（S 1 0 7）、第 8 P R 工程では画素電極を形成する（S 1 0 8）。

【 0 0 1 7 】

また、図 3 ～ 図 8 はそれぞれその主要な工程の平面図と断面図である。なお、図 3 ～ 図 8 の各図において、（a）はアクティブマトリクス基板の 1 画素相当領域の平面図、（b）はゲート端子部の平面図、（c）はドレイン端子部の平面図、（d）、（e）、（f）はそれぞれ A A' 線、B B' 線、C C' 線の各断面図である。以下、図 2 と図 3 ～ 図 8 を参照して工程順に説明する。

【 0 0 1 8 】

先ず、図 3 に示すように、ガラス等の透明絶縁性基板 1 0 1 上に、A l と T i を積層した T i / A l 膜 1 0 2 をスパッタ法により 0. 1 ～ 0. 3 μ m の厚さに形成する。そして、第 1 P R 工程において前記 T i / A l 膜 1 0 2 上に図外の第 1 のフォトマスクを用いて第 1 のフォトレジスト膜を所要のパターンに露光、現像した上で、当該第 1 のフォトレジストをマスクにして前記 T i / A l 膜 1 0 2 をドライエッチングしてゲート電極 2 1 0 及びゲートバスライン 2 0 1 を形成する。このとき、前記ゲートバスライン 2 0 1 の端部にはゲート端子部 2 5 1 が形成される。

【 0 0 1 9 】

次いで、図 4 に示すように、全面にゲート絶縁膜 1 0 3 として S i N 膜 1 0 3 を 0. 3 ～ 0. 6 μ m の厚さに形成する。また、その上に、真性 a - S i 膜 1 0 4 を 0. 0 5 ～ 0. 3 μ m の厚さに、その上にオーミック層としてリンを含む n + 型 a - S i 膜 1 0 5 を 2 0 ～ 1 0 0 n m の厚さにそれぞれプラズマ C V D 法により形成する。さらに、その上に、C r 膜 1 0 6 を 0. 1 ～ 0. 3 μ m 程度にスパッタ法により形成する。そして、第 2 P R 工程において、全面に図外の第 2

のフォトマスクを用いて、第2のフォトレジスト膜を所要のパターンに露光、現像した上で、当該第2のフォトレジストをマスクにして前記Cr膜106をウェットエッチング、n+型a-Si膜105、真性a-Si膜104を順次ドライエッチングを行い、前記ゲート電極210上にゲート絶縁膜を介してアイランド220を形成し、かつ同時に前記ドレインバスライン202を形成する。このとき、ドレインバスライン202の端部にはドレイン端子部261が形成される。

【0020】

次いで、図5に示すように、全面にR色をした感光性アクリル樹脂を1.8 μ mの厚さに塗布、焼成し、第3PR工程において図外の第3のフォトマスクを用いて所要パターンに露光、現像を行い、前記ゲートバスライン201と前記ドレインバスライン202で囲まれた領域のうち、選択された領域にのみ前記R色感光性アクリル樹脂を残し、R色カラーフィルタ230を形成する。同様に、全面にG色の感光性アクリル樹脂を前記と同じ厚さに塗布、焼成し、第4PR工程において図外の第4のフォトマスクを用いて所要パターンに露光、現像を行い、前記ゲートバスライン201と前記ドレインバスライン202で囲まれた領域のうち、前記R色カラーフィルタ230とは異なる他の選択された領域にのみ前記G色透明樹脂を残し、G色カラーフィルタ231を形成する。さらに、全面にB色の感光性アクリル樹脂を前記と同じ厚さに塗布、焼成し、第5PR工程において図外の第5のフォトマスクを用いて所要パターンに露光、現像を行い、前記ゲートバスラインと前記ドレインバスラインで囲まれた領域のうち、前記R色カラーフィルタ及びG色カラーフィルタとは異なる他の残された領域にのみ前記B色透明樹脂を残し、B色カラーフィルタ232を形成する。なお、各色のカラーフィルタ230、231、232の配置は、例えば、図1に示す配列の繰り返しとなる。

【0021】

次いで、図6に示すように、全面に光を透過しない黒色の感光性アクリル樹脂を1.0 μ mの厚さに塗布、焼成し、第6PR工程において図外の第6のフォトマスクを用いて露光、現像を行い、前記RGBの各色カラーフィルタ230～2

3 2 以外の領域、すなわち、前記アイランド 2 2 0 上、前記ゲートバスライン 2 0 1 上、前記ドレインバスライン 2 0 2 上をそれぞれ覆う領域にのみ前記黒色の感光性アクリル樹脂を形成する。これにより、前記黒色の感光性アクリル樹脂によりブラックマトリクス 2 4 0 が形成され、前記 R G B 色の各カラーフィルタ 2 3 0 ~ 2 3 2 を除く領域が覆われて遮光される。また、このとき、前記アイランド 2 2 0 上においては、当該アイランド 2 2 0 のほぼ中央部のチャネル領域において前記ブラックマトリクス 2 4 0 の一部を除去する。また、前記ゲート端子部 2 5 1 においても前記ブラックマトリクス 2 4 0 を除去する。なお、ここでは、前記ドレイン端子部 2 6 1 には前記ブラックマトリクス 2 4 0 を覆うように形成している。

【 0 0 2 2 】

その上で、前記ブラックマトリクス 2 4 0 をマスクにして、その直下の前記 C r 膜 1 0 6 をウェット&ドライエッチングし、さらに n + 型 a - S i 膜 1 0 5 をドライエッチングする。これらのエッチングにより、前記アイランド 2 2 0 においては、前記 C r 膜 1 0 6 が分離され、ドレイン電極 2 0 5 及びソース電極 2 0 6 が形成されるとともに、各電極 2 0 5, 2 0 6 の直下に n + 型 a - S i 膜 1 0 5 のオーミック層が形成される。これにより、前記 T F T 2 0 0 が形成される。

【 0 0 2 3 】

次いで、図 7 に示すように、全面に平坦化膜 1 0 7 として、無色透明な感光性アクリル樹脂を色層の上から 2. 5 ~ 3. 0 μ m の厚さに塗布、焼成し、かつその表面を平坦化する。そして、第 7 P R 工程において、図外の第 7 のフォトマスクを用いて露光、現像を行い、前記ソース電極 2 0 6 上の一部、前記ゲート端子部 2 5 1 上の一部、ドレイン端子部 2 6 1 上の一部をそれぞれ開口する。さらに、前記平坦化膜 1 0 7 をマスクにして、前記ブラックマトリクス 2 4 0 をドライエッチングする。さらに、ゲート端子部 2 1 1 ではゲート絶縁膜を構成している S i N 膜 1 0 3 をドライエッチングする。これにより、前記アイランド 2 2 0 においてはコンタクトホール 2 2 1 が開口されて前記ソース電極 2 0 6 を構成している C r 膜 1 0 6 の表面が露出され、前記ゲート端子部 2 5 1 ではゲート端子部

コンタクトホール 2 5 2 が開口されて前記ゲートバスライン 2 0 1 の一部である T i / A l 膜 1 0 2 が露出され、前記ドレイン端子部 2 6 1 ではドレイン端子部コンタクトホール 2 6 2 が開口されて前記ドレインバスライン 2 0 2 を構成している C r 膜 1 0 6 の表面が露出される。

【 0 0 2 4 】

次いで、図 8 に示すように、全面に I T O 膜 1 0 8 をスパッタ法により 3 0 ～ 1 0 0 n m の厚さに形成する。そして、第 8 P R 工程において前記 I T O 膜 1 0 7 上に図外のフォトレジストを塗布し、当該 2 フォトレジストを所要のパターンに露光、現像し、これをマスクにして前記 I T O 膜 1 0 8 をウェットエッチングする第 8 P R 工程を行う。これにより、前記 R G B の各色のカラーフィルタ 2 3 0 ～ 2 3 2 上には画素電極 2 0 3 が形成されるとともに、当該画素電極 2 0 3 はその一部において前記コンタクトホール 2 2 1 を介して前記ソース電極 2 0 6 に電気接続される。また、前記 I T O 膜 1 0 8 は、前記ゲート端子部 2 5 1 では、前記ゲート端子部コンタクトホール 2 5 2 を介して前記 T i / A l 膜 1 0 2 に電気接続されたゲート端子 2 5 0 が形成される。同様に、前記ドレイン端子部 2 6 1 では、前記ドレイン端子部コンタクトホール 2 6 2 を介して前記 C r 膜 1 0 6 に電気接続され、ドレイン端子 2 6 0 が形成される。なお、セル工程でのギャブ制御を容易にするため、この後、無色透明な感光性アクリル樹脂を塗布、焼成し、第 9 P R 工程において図外の第 9 のフォトマスクを用いて露光、現像を行い、柱を形成してもよい。

【 0 0 2 5 】

その後は、図示は省略するが、表面に配向膜を形成して C O T 基板を形成した上で、共通電極、配向膜等が形成された対向基板を微小間隔で対向配置して一体化し、当該 C O T 基板と前記対向基板との間に液晶を充填しかつ封止することでカラー液晶表示装置が完成されることになる。また、前記ゲート端子、ドレイン端子にはそれぞれドライバ回路が電気接続される。

【 0 0 2 6 】

以上のように、本発明の第 1 の実施形態では、第 1 ないし第 8 の P R 工程（柱を形成する場合には第 9 の P R 工程）により、カラー構成のアクティブマトリク

ス基板を製造することが可能になる。これにより、従来の 9 P R 工程の製造方法に比較して 1 P R 工程の削減が実現でき、低コストなカラー液晶表示装置を提供することが可能になる。

【 0 0 2 7 】

また、本発明の第 1 の実施形態の液晶表示装置では、R G B の各色カラーフィルタの周縁部を覆うようにブラックマトリクスが形成されるため、各カラーフィルタの周縁部の境界をブラックマトリクスによって明確にでき、鮮明な画像を表示する上で有効なものになる。ただし、本実施形態では、T F T のチャネル上のブラックマトリクスを除去しているため、対向基板側にもブラックマトリクスを形成する必要がある。

【 0 0 2 8 】

次に、本発明の第 2 の実施形態について説明する。図 9 は本発明の第 2 の実施形態の製造方法の工程を示すフロー図である。同図に示すように、第 2 の実施形態においても、第 1 ないし第 8 の P R 工程で C O T 基板を製造する。すなわち、第 1 P R 工程ではゲート電極及びゲートバスラインを形成する (S 2 0 1) 。第 2 P R 工程では、ゲート絶縁膜上に T F T 部のアイランドを形成した上で、ハーフトーン露光法もしくは二回露光を行い、を利用して、ソース電極及びドレイン電極及びドレインバスラインを形成する (S 2 0 2) 。第 3 P R 工程ないし第 5 P R 工程では、画素部に R G B の各カラーフィルタを形成し (S 2 0 3 ～ S 2 0 5) 、第 6 P R 工程では前記アイランドを覆う領域と前記カラーフィルタを除く領域にブラックマトリクスを形成する (S 2 0 6) 。さらに、第 7 P R 工程ではソース電極部、ゲート及びドレイン端子部にコンタクトホールを形成し (S 2 0 7) 、第 8 P R 工程では画素電極を形成する (S 2 0 8) 。

【 0 0 2 9 】

また、図 1 0 ～図 1 5 はそれぞれその主要な工程の平面図と断面図である。ここで、図 1 0 ～図 1 5 の各図において、(a) はアクティブマトリクス基板の 1 画素相当領域の平面図、(b) はゲート端子部の平面図、(c) はドレイン端子部の平面図、(d) , (e) , (f) はそれぞれ A A ' 線、B B ' 線、C C ' 線の各断面図である。以下、図 9 と図 1 0 ～図 1 5 を参照して工程順に説明する。

なお、第 1 の実施形態と等価な部分には同一符号を付してある。

【0030】

先ず、図 10 のように、ガラス等の透明絶縁性基板 101 上に Al と Ti を積層した Ti/Al 膜 102 をスパッタ法により 0.1 ~ 0.3 μm の厚さに形成し、図外のフォトリジストを用いた第 1 PR 工程により前記 Ti/Al 膜 102 を所要のパターンに形成してゲート電極 210 及びゲートバスライン 201 を形成する。このとき、ゲートバスライン 201 の端部にはゲート端子部 251 が形成される。

【0031】

次いで、図 11 のように、プラズマ CVD 法によりゲート絶縁膜として SiN 膜 103 を 0.3 ~ 0.6 μm の厚さに形成する。引き続き、その上に、真性 a-Si 膜 104 を 0.05 ~ 0.2 μm の厚さに、n+ 型 a-Si 膜 105 を 20 ~ 100 μm の厚さに順次積層し、さらにその上にスパッタ法により Cr 膜 106 を 0.1 ~ 0.3 μm 程度の厚さに形成する。そして、第 2 PR 工程において、後述するフォトリジストを用いたハーフトーン露光法により、前記 Cr 膜 106、n+ 型 a-Si 膜 105、真性 a-Si 膜 104 をエッチングし、前記ゲート電極 210 上に前記積層構造の a-Si 膜からなるアイランド 220 と、前記 Cr 膜 106 からなるドレイン電極 205 とソース電極 206 を形成する。また、前記ドレイン電極 205 につながるドレインバスライン 202 を形成する。このとき、ドレインバスライン 202 の端部には、前記積層構造の a-Si 膜 104、105 と Cr 膜 106 からなるドレイン端子部 261 が形成される。

【0032】

ここで、図 16 にハーフトーン露光法による前記アイランド 220 の形成工程断面図を示す。フォトリジスト 222 を露光するためのフォトマスクは、前記ドレインバスライン 202 に相当する領域は、光をほぼ完全に遮断するフルマスク部として形成されるが、前記アイランド 220 に形成する TFT 200 のチャネル領域 200a に相当する部分はハーフトーン部として構成されている。前記ハーフトーン部は、図示は省略するが、露光機の解像度限界以下の微細な遮光パターンが適宜な間隔をおいて配列された構成とされ、あるいは光透過率の低い材料

で構成されている。そのため、前記フォトレジスト 2 2 2 としてポジ型フォトレジストを用いたときには、ハーフトーン部ではフォトレジストに対して微少な光量での露光が行われることになり、当該フォトレジスト 2 2 2 を現像したときには、ハーフトーン部に対応する領域 2 2 2 b のフォトレジスト 2 2 2 の膜厚はフルマスク部に対応する領域 2 2 2 a の膜厚よりも薄くなる。したがって、前記したフォトマスクを用いてハーフトーン露光し、かつ現像した前記フォトレジストは、図 1 6 (a) に示すようにフルマスク部で露光した膜厚の厚い領域 2 2 2 a と、ハーフトーン部で露光した膜厚の薄い領域 2 2 2 b が混在する断面構造となる。

【 0 0 3 3 】

そして、このフォトレジスト 2 2 2 を用いて前記 Cr 膜 1 0 6 をウェットエッチングし、前記 n + 型 a - Si 膜 1 0 5、真性 a - Si 膜 1 0 4 を順次ドライエッチングすることにより、図 1 6 (b) に示すように、積層構造をしたアイランド 2 2 0 と、ドレインバスライン 2 0 2 がパターン形成される。

【 0 0 3 4 】

次いで、前記フォトレジスト 2 2 2 を O₂ アッシングして表面側から膜厚を低減すると、図 1 6 (b) のように、前記フォトレジスト 2 2 2 は、チャネル領域に相当するハーフトーン部に対応して薄く形成されている領域 2 2 2 b においては完全に除去され、下側の Cr 膜 1 0 6 が露出される。なお、前記アッシングにより前記フォトレジスト 2 2 2 の厚く形成されていた領域 2 2 2 a は薄くされるが、依然として前記 Cr 膜 1 0 6 上にマスクとして残されている。次いで、前記残されているフォトレジスト 2 2 2 を用いて前記 Cr 膜 1 0 6 をウェット&ドライエッチングし、さらに n + 型 a - Si 膜 1 0 5 をドライエッチングすることにより、図 1 6 (c) に示すように、前記 Cr 膜 1 0 6 からなるドレイン電極 2 0 5 及びソース電極 2 0 6 と、その直下のオーミック層が形成され、TFT 2 0 0 が形成される。すなわち、1 PR 工程で、TFT 2 0 0 とドレインバスライン 2 0 2 が形成されることになる。

【 0 0 3 5 】

次いで、図 1 2 に示すように、プラズマ CVD 法により全面に SiN_x の保護

絶縁膜（パッシベーション膜）109を0.1～0.3 μm の厚さに形成する。
 その上で、前記第1の実施形態と同様に、前記ガラス基板101の表面上に、赤色の透明樹脂膜を0.8 μm の厚さに形成し、第3PR工程において所要のパターンに形成してR色カラーフィルタ230を形成する。同様に、今度は緑色の透明樹脂膜を前記と同じ厚さに形成し、第4PR工程において所要のパターンに形成してG色カラーフィルタ231を形成する。さらに、青色の透明樹脂膜を前記と同じ厚さに形成し、第5PR工程において所要のパターンに形成してB色カラーフィルタ232を形成する（図1参照）。

【0036】

そして、図13に示すように、光を遮光する黒色の樹脂膜を形成し、第6PR工程において、前記RGBの各カラーフィルタ領域を除く領域と、後述するソースコンタクト領域とを除く領域を覆うようにパターン形成し、ブラックマトリクス240を形成する。

【0037】

次いで、図14に示すように、全面に平坦化膜107として、無色透明な感光性アクリル樹脂を2.5～3.0 μm の厚さに形成した後、第7PR工程において、前記平坦化膜107及び前記パッシベーション膜109を順次選択エッチングし、前記ソース電極206を露出するコンタクトホール221を開口する。また、同時に前記ゲート端子部251では前記平坦化膜107、前記パッシベーション膜109及び前記ゲート絶縁膜103を順次選択エッチングし、前記ゲート端子部251を露出するゲート端子部コンタクトホール252を開口する。また、前記ドレイン端子部251では前記平坦化膜107及び前記パッシベーション膜109を順次選択エッチングし、前記ドレイン端子部261を露出するドレイン端子部コンタクトホール262を開口する。

【0038】

そして、図15に示すように、全面に透明電極膜としてスパッタ法によりITO膜108を80～100 μm の厚さに形成し、第8PR工程により、前記ITO膜108を前記各カラーフィルタ230～232上の領域を含む所要のパターンに形成し、前記コンタクトホール221を通して前記ソース電極に電気接続さ

れる画素電極 2 0 3 を形成する。また、同時に、前記 I T O 膜 1 0 8 により、前記ゲート端子部コンタクトホール 2 5 2 を含む領域に前記ゲートバスライン 2 0 1 に電気接続されたゲート端子 2 5 0 を形成するとともに、前記ドレイン端子部コンタクトホール 2 6 2 を含む領域に前記ドレインバスライン 2 0 2 に電気接続されたドレイン端子 2 6 0 を形成する。なお、セル工程でのギャップ制御を容易にするため、第 9 P R 工程において、さらに無色透明の感光性アクリル樹脂により柱を形成してもよい。また、ここではハーフトーン露光法を用いる方法について述べたが、当該工程で露光量を変え、2 回露光を行う方法を用いてもよい。この場合、露光工程のみ 1 回増え、マスクも 1 枚増えるが、ハーフトーン露光法に比べプロセスの制御が容易にできるという利点がある。

【 0 0 3 9 】

その後は、図示は省略するが、表面に配向膜を形成して C O T 基板を形成した上で、共通電極、配向膜等が形成された対向基板を微小間隔で対向配置して一体化し、当該 C O T 基板と前記対向基板との間に液晶を充填しかつ封止することでカラー液晶表示装置が完成されることになる。また、前記ゲート端子、ドレイン端子にはそれぞれドライバ回路が電気接続されることは言うまでもない。

【 0 0 4 0 】

以上のように、本発明の第 2 の実施形態においても、第 1 ないし第 8 の P R 工程によりカラー構成のアクティブマトリクス基板を製造することが可能になる。これにより、従来の 9 P R 工程の製造方法に比較して 1 P R 工程の削減が実現でき、低コストなカラー液晶表示装置を提供することが可能になる。また、ブラックマトリクスを従来例のように画素電極をマスクとした染色により形成したり、R G B 3 色の色重ねにより形成すれば、さらに 1 P R 工程の削減が実現できる。

【 0 0 4 1 】

ここで、第 2 の実施形態においては、ブラックマトリクスを構成するアクリルの種類として、積層構造の a - S i 膜に対してブラックマトリクスが接触したときでも積層構造の a - S i 膜を汚染するおそれがないアクリルを用いた場合には、前記 a - S i 膜の汚染を防止するために設けている前記パッシベーション膜を省略することが可能であり、P R 工程以外の工程数を削減する上で有利である。

【 0 0 4 2 】

また、本発明の第 2 の実施形態の液晶表示装置においても、R G B の各色カラーフィルタの周縁部を覆うようにブラックマトリクスが形成されるため、各カラーフィルタの周縁部の境界をブラックマトリクスによって明確にでき、鮮明な画像を表示する上で有効なものになる。

【 0 0 4 3 】

以上の実施形態では、ゲート電極及びゲートバスラインに T i / A l 膜を、ソース・ドレイン電極及びドレインバスラインに C r 膜を用いた例を示したが、これに限られるものではなく、前者は T i / A l / T i 膜のような 3 層膜や、勿論 C r 膜のような単層膜であってもよく、また、後者は T i / A l / T i 膜のような 3 層膜であってもよい。

【 0 0 4 4 】

【発明の効果】

以上説明したように本発明のカラー液晶表示装置によれば、オーミック層、ソース・ドレイン電極、ブラックマトリクスが同一平面形状であり、あるいは、オーミック層とソース・ドレイン電極は同一平面形状であるので、これらオーミック層、ソース・ドレイン電極、ブラックマトリクスを製造する工程を 1 回の P R 工程で形成することが可能となり、製造工程における P R 工程を削減する上で有効になる。そのため、本発明の製造方法によれば、本発明のカラー液晶表示装置を 8 回の P R 工程で製造することが可能になり、P R 工程数の削減に伴う低コスト化が実現できる。

【図面の簡単な説明】

【図 1】

本発明が適用される C O T 基板の模式的な構成図である。

【図 2】

本発明の第 1 の実施形態の製造方法の工程図である。

【図 3】

第 1 の実施形態の工程平面図と断面図のその 1 である。

【図 4】

第 1 の実施形態の工程平面図と断面図のその 2 である。

【図 5】

第 1 の実施形態の工程平面図と断面図のその 3 である。

【図 6】

第 1 の実施形態の工程平面図と断面図のその 4 である。

【図 7】

第 1 の実施形態の工程平面図と断面図のその 5 である。

【図 8】

第 1 の実施形態の工程平面図と断面図のその 6 である。

【図 9】

本発明の第 2 の実施形態の製造方法の工程図である。

【図 1 0】

第 2 の実施形態の工程平面図と断面図のその 1 である。

【図 1 1】

第 2 の実施形態の工程平面図と断面図のその 2 である。

【図 1 2】

第 2 の実施形態の工程平面図と断面図のその 3 である。

【図 1 3】

第 2 の実施形態の工程平面図と断面図のその 4 である。

【図 1 4】

第 2 の実施形態の工程平面図と断面図のその 5 である。

【図 1 5】

第 2 の実施形態の工程平面図と断面図のその 6 である。

【図 1 6】

第 2 の実施形態のハーフトーン露光法を説明するための断面図である。

【図 1 7】

従来の C O T 基板の一部の断面図である。

【図 1 8】

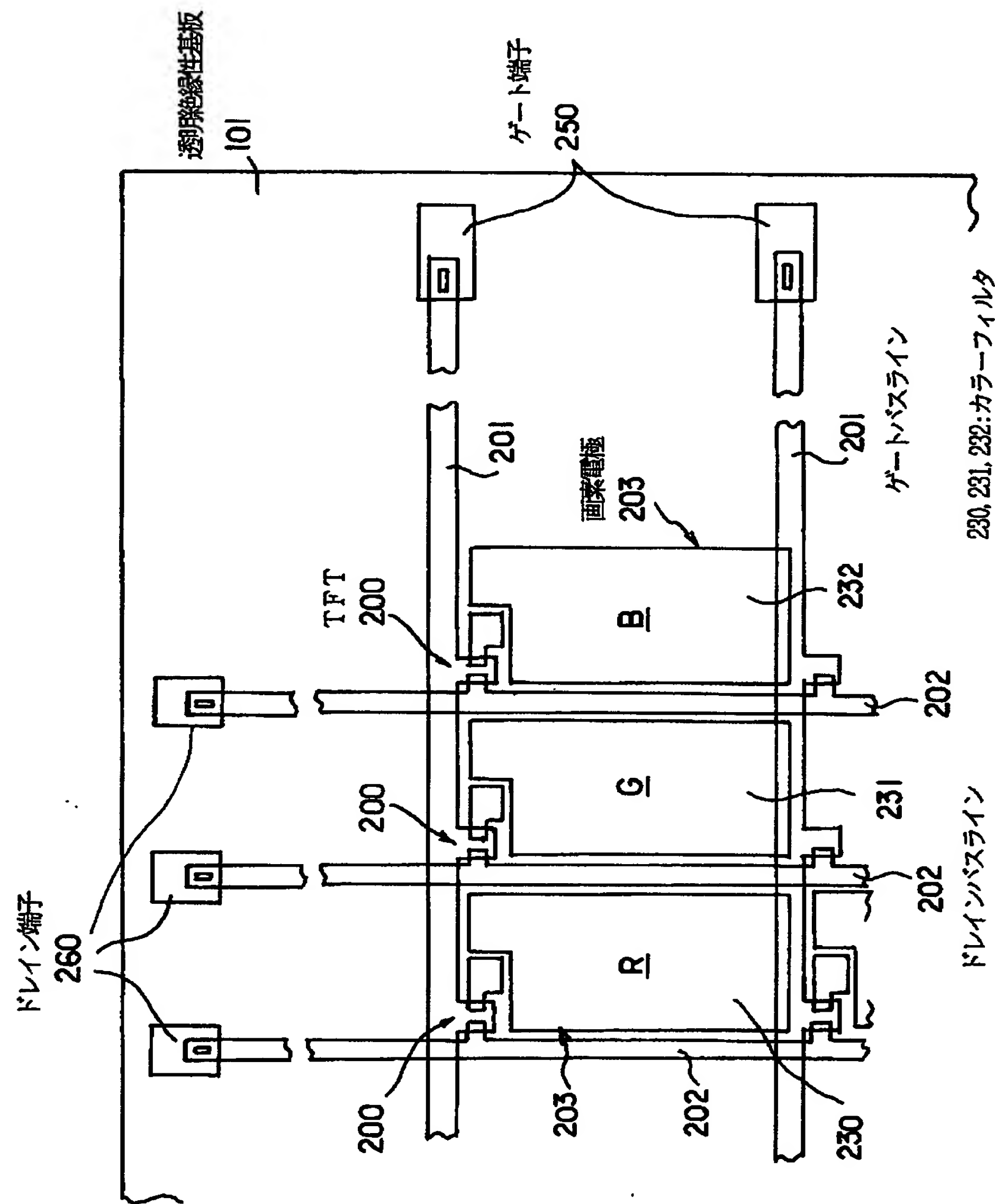
従来の製造方法の工程図である。

【符号の説明】

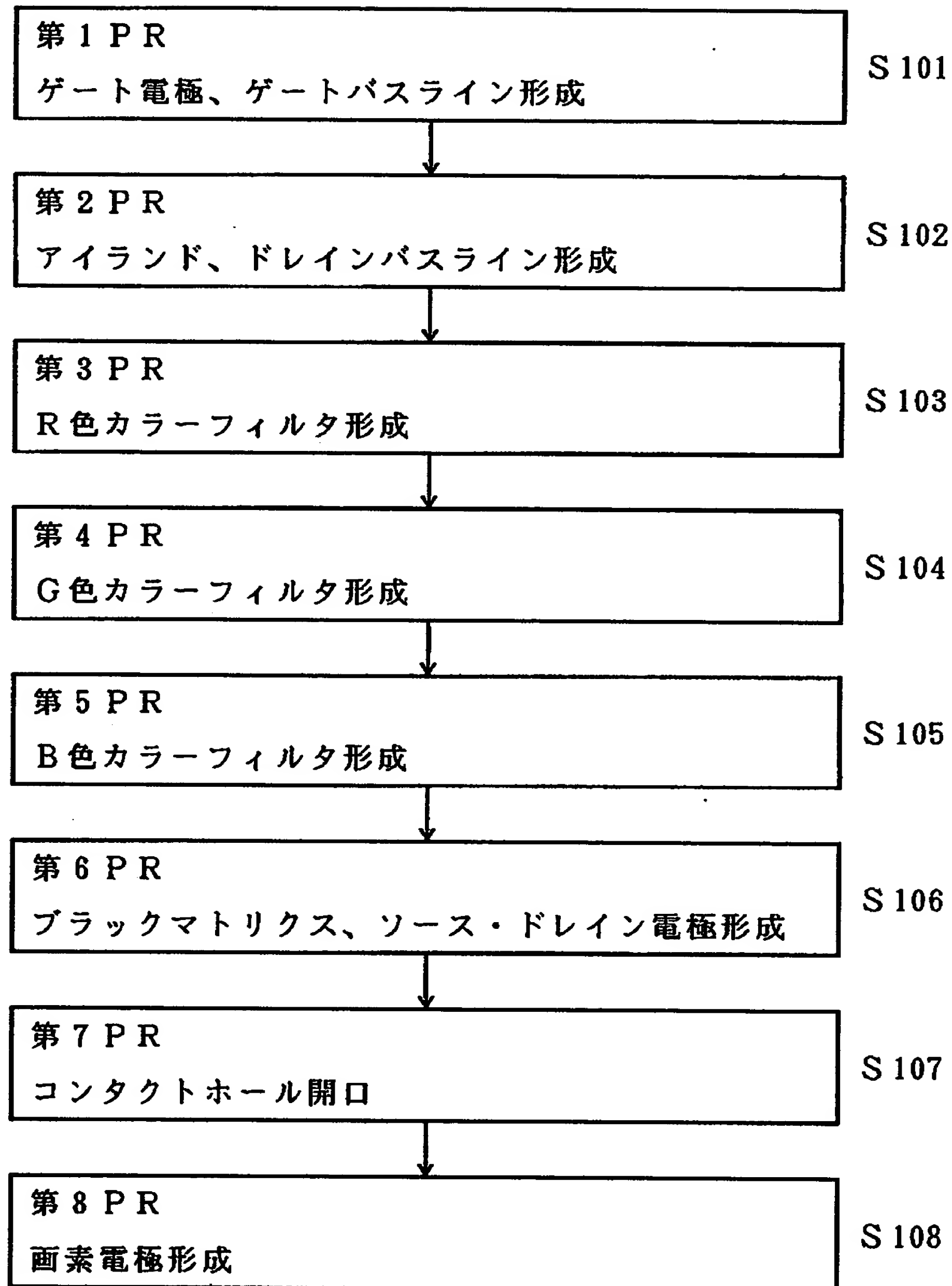
- 1 0 1 透明絶縁性基板
- 1 0 2 Ti / Al 膜 (ゲート電極膜)
- 1 0 3 SiN 膜 (ゲート絶縁膜)
- 1 0 4 真性 a - Si 膜 (半導体層)
- 1 0 5 n + 型 a - Si 膜 (オーミック層)
- 1 0 6 Cr 膜
- 1 0 7 平坦化膜
- 1 0 8 ITO 膜
- 1 0 9 パッシベーション膜
- 2 0 0 TFT
- 2 0 1 ゲートバスライン
- 2 0 2 ドレインバスライン
- 2 0 3 画素電極
- 2 1 0 ゲート電極
- 2 2 0 アイランド
- 2 2 1 コンタクトホール
- 2 3 0 ~ 2 3 2 カラーフィルタ
- 2 4 0 ブラックマトリクス
- 2 5 0 ゲート端子
- 2 5 1 ゲート端子部
- 2 5 2 ゲート端子部コンタクトホール
- 2 6 0 ドレイン端子
- 2 6 1 ドレイン端子部
- 2 6 2 ドレイン端子部コンタクトホール

【書類名】 図面

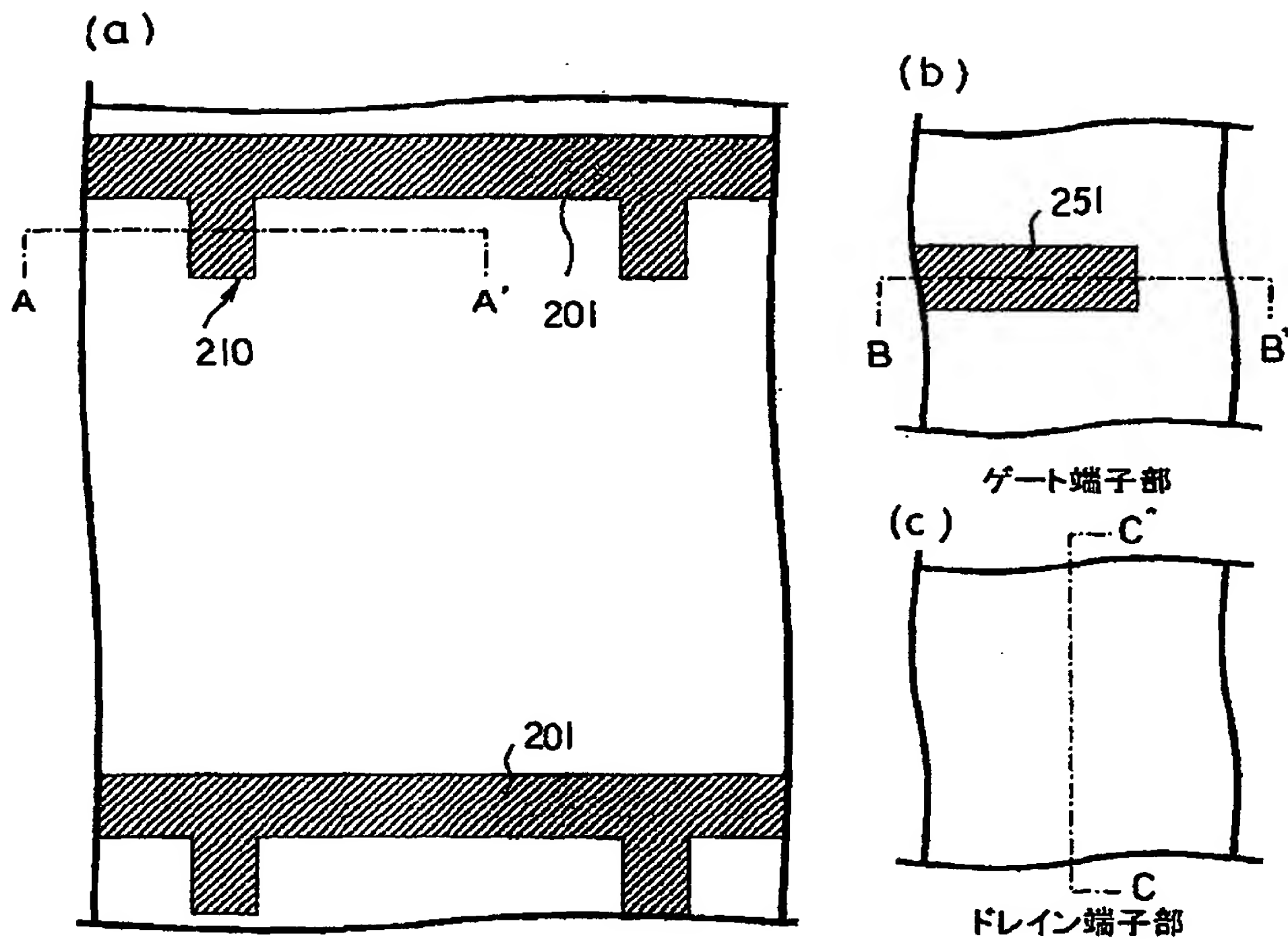
【図 1】



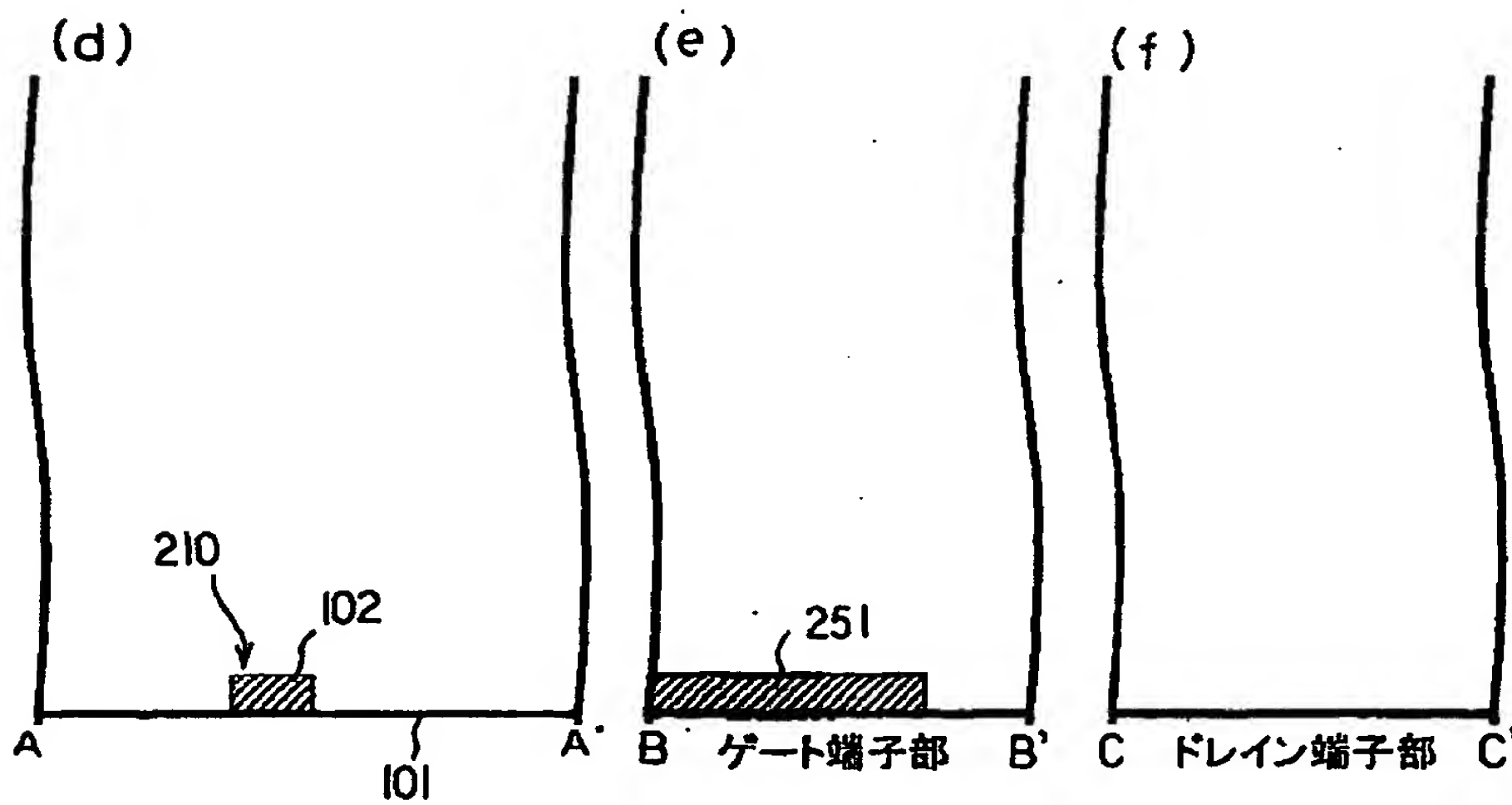
【図 2】



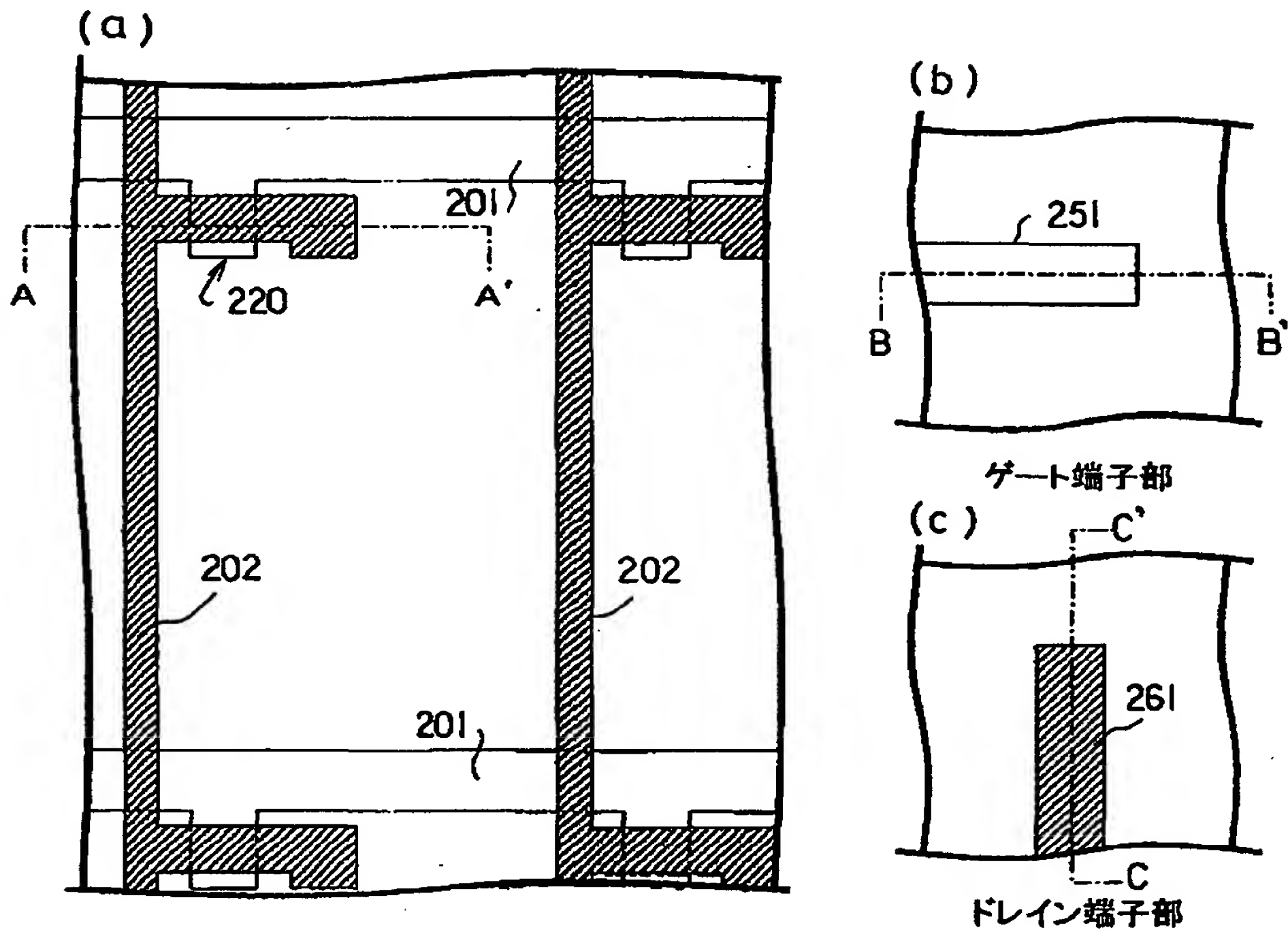
【図3】



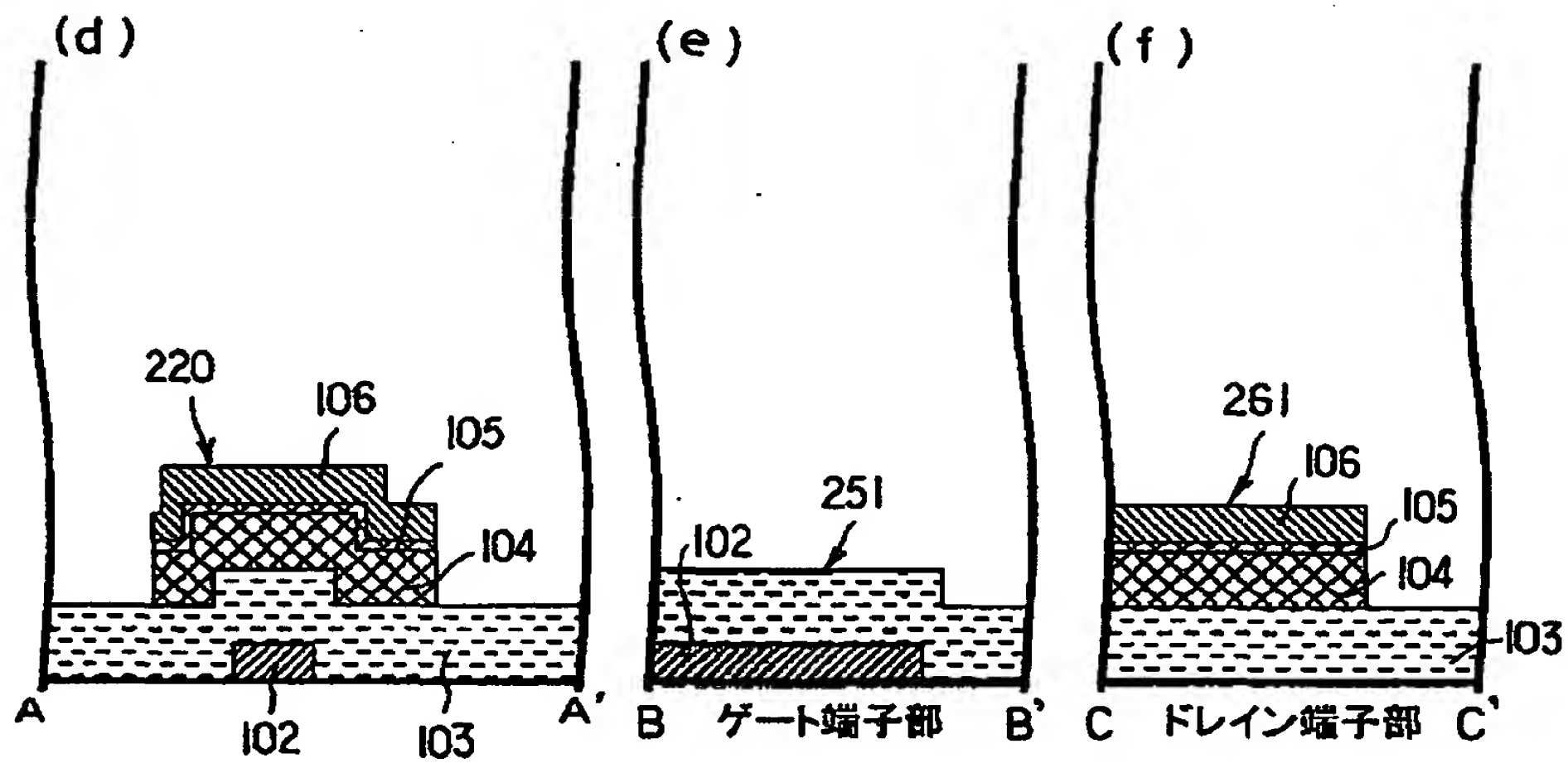
101:透明絶縁性基板 210:ゲート電極 201:ゲートバスライン



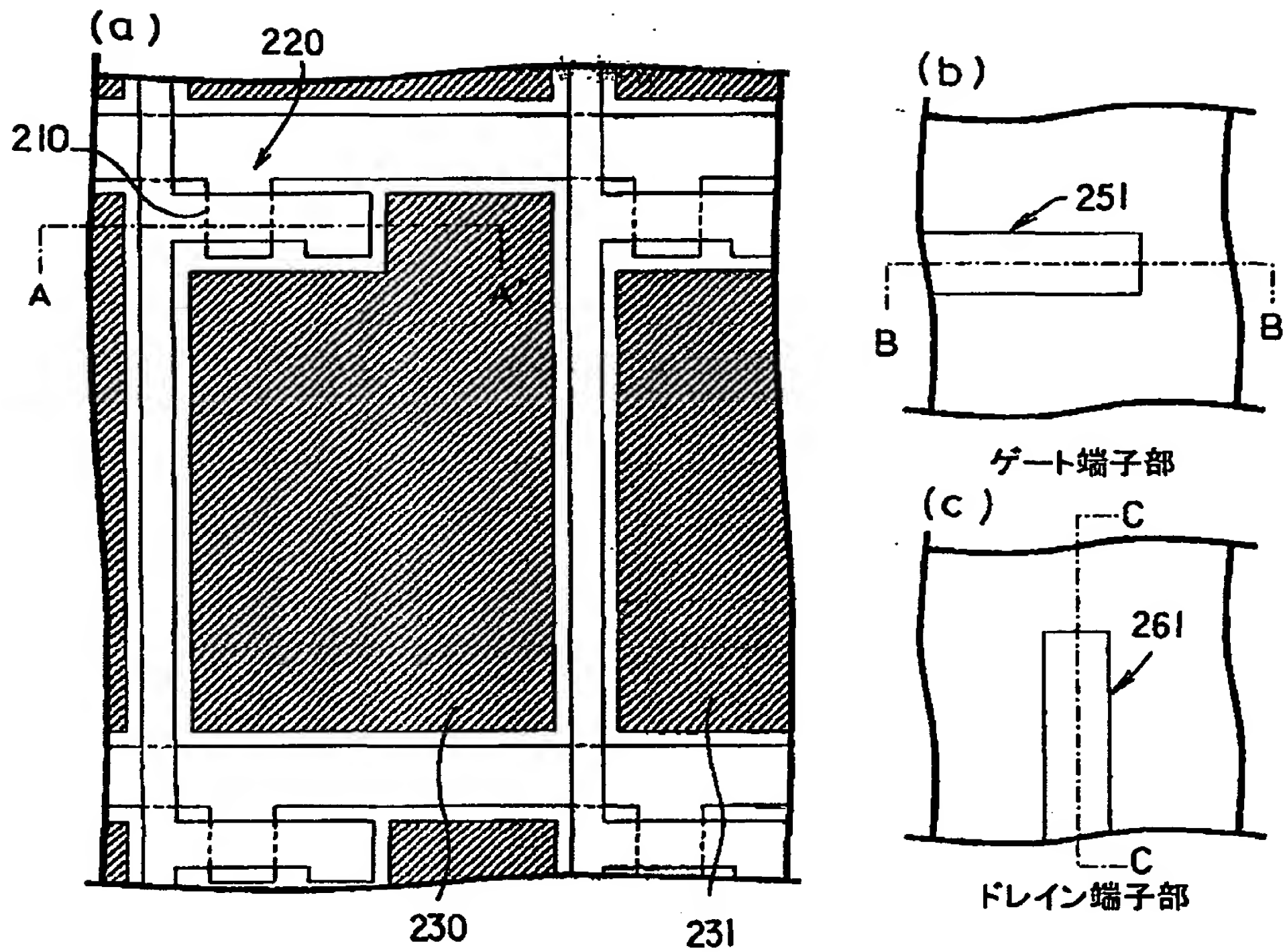
【図 4】



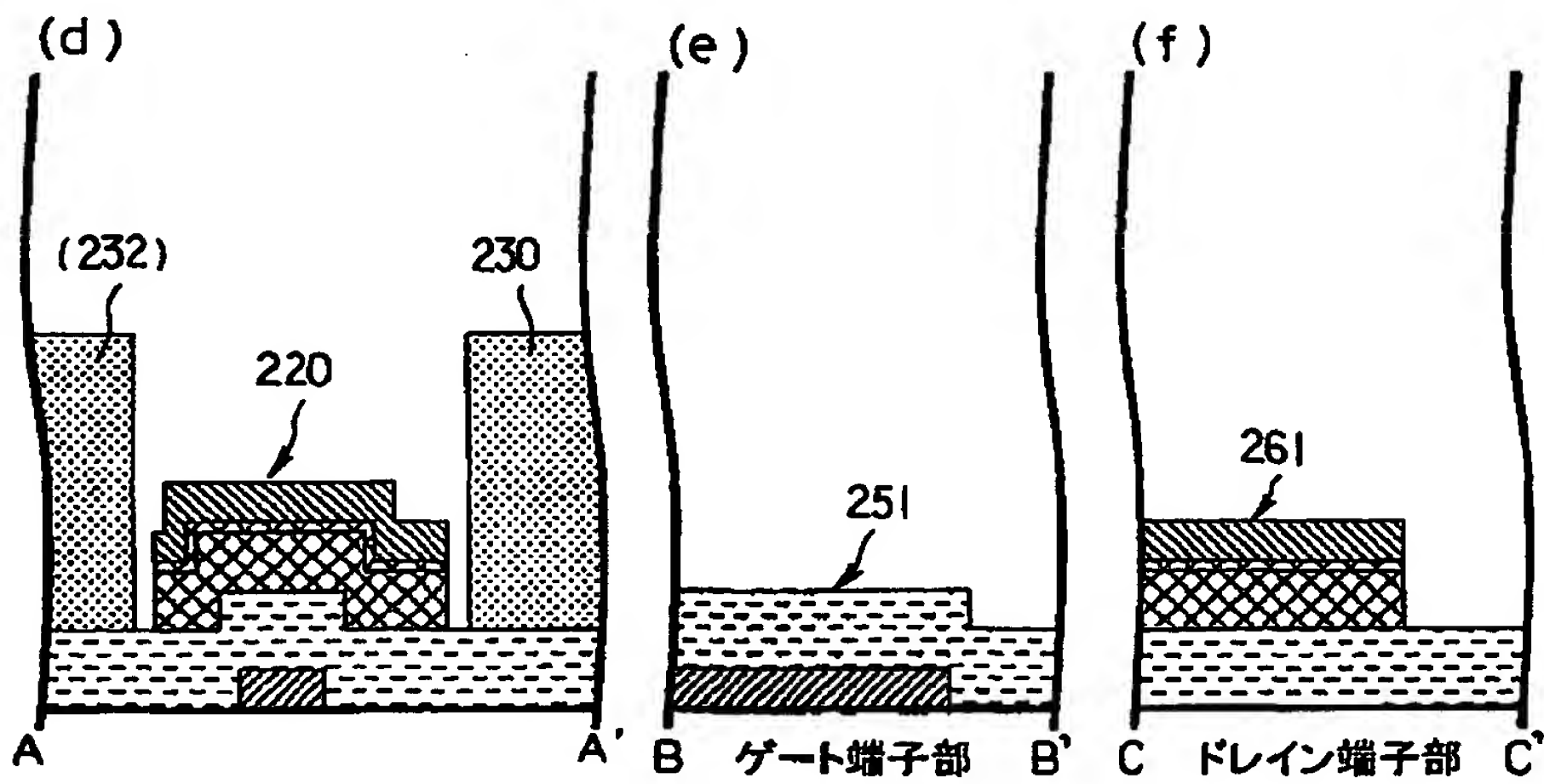
201:ゲートバスライン 220:アイランド 202:ドレインバスライン



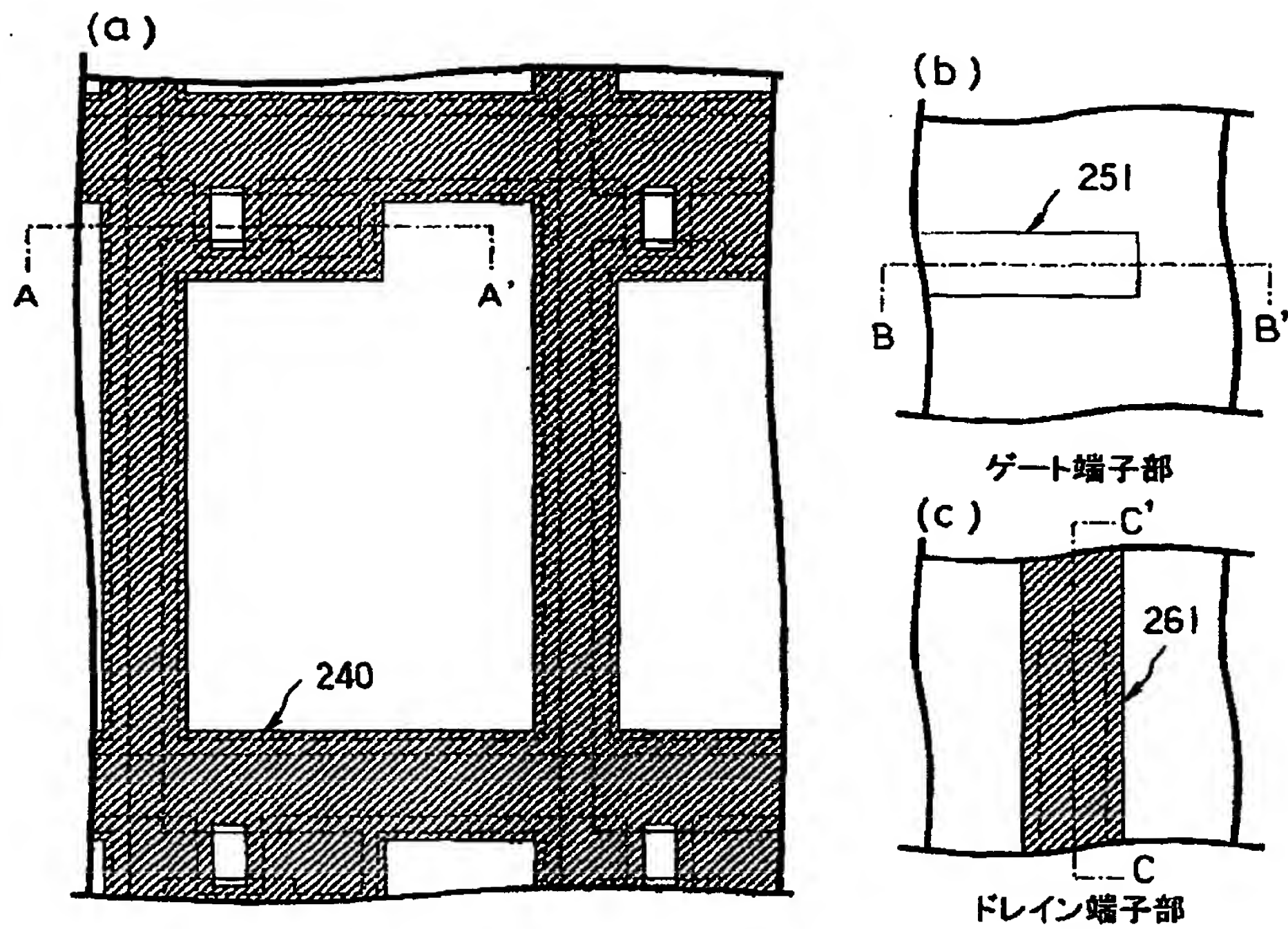
【図 5】



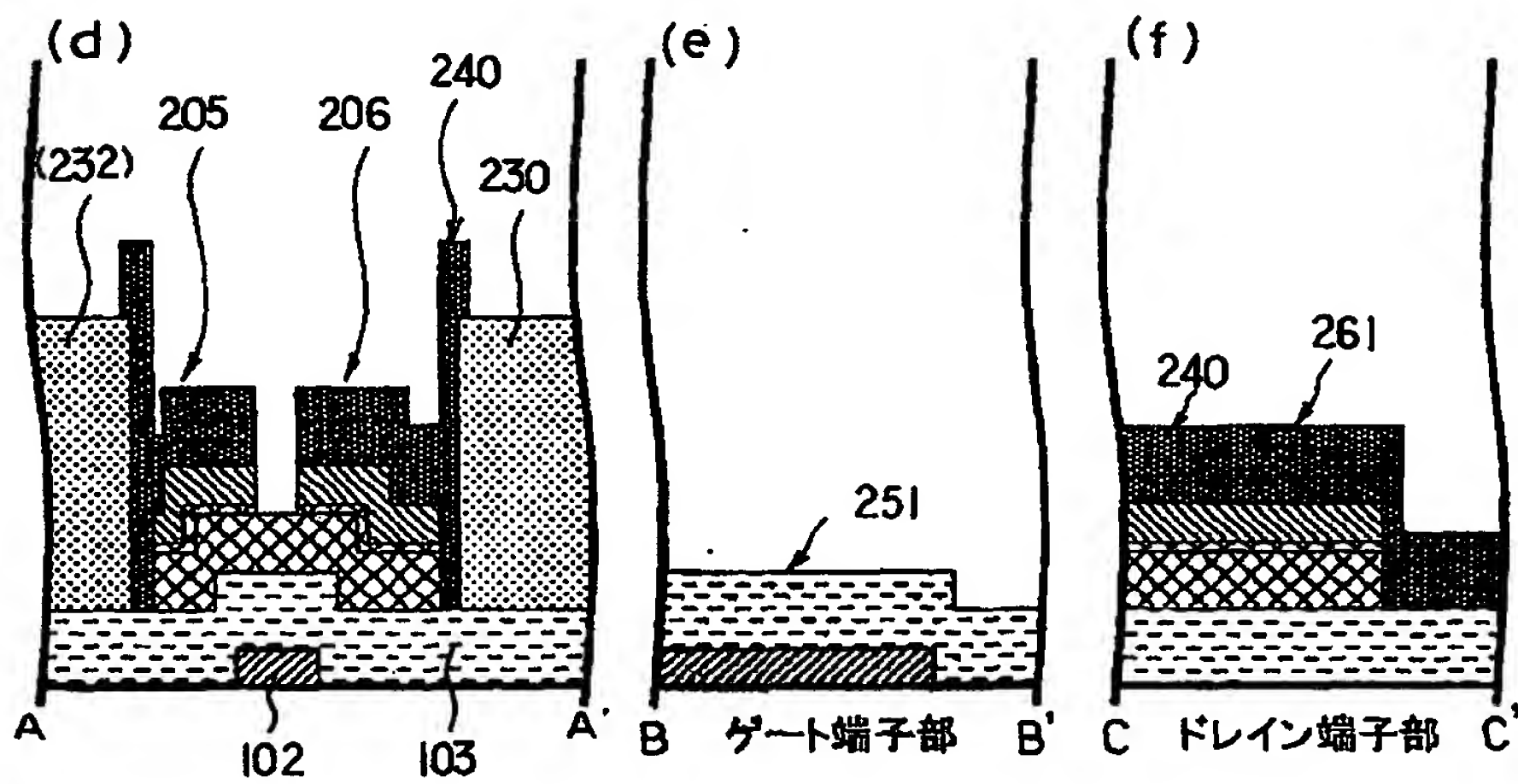
230, 231, 232: カラーフィルタ



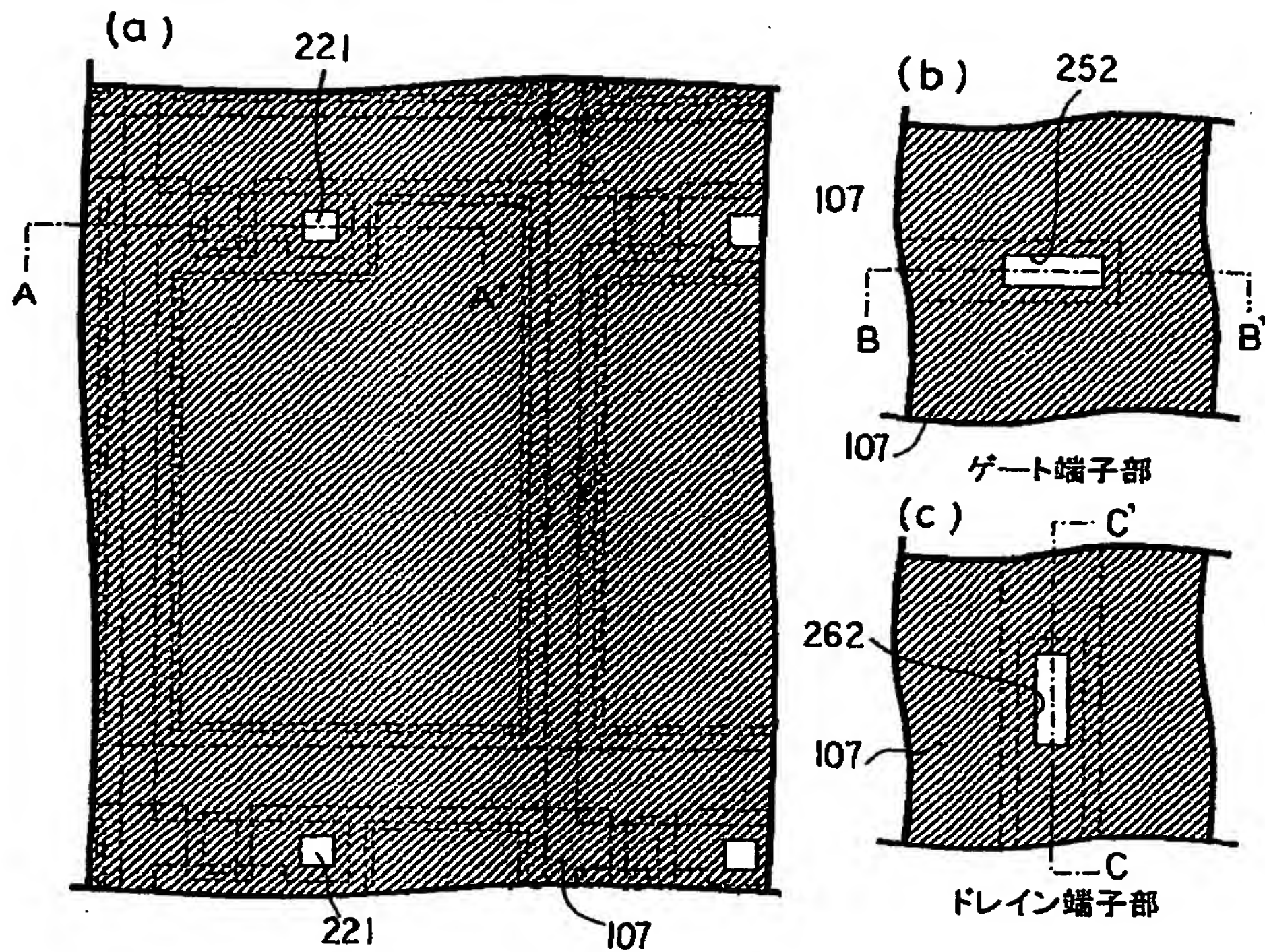
【図6】



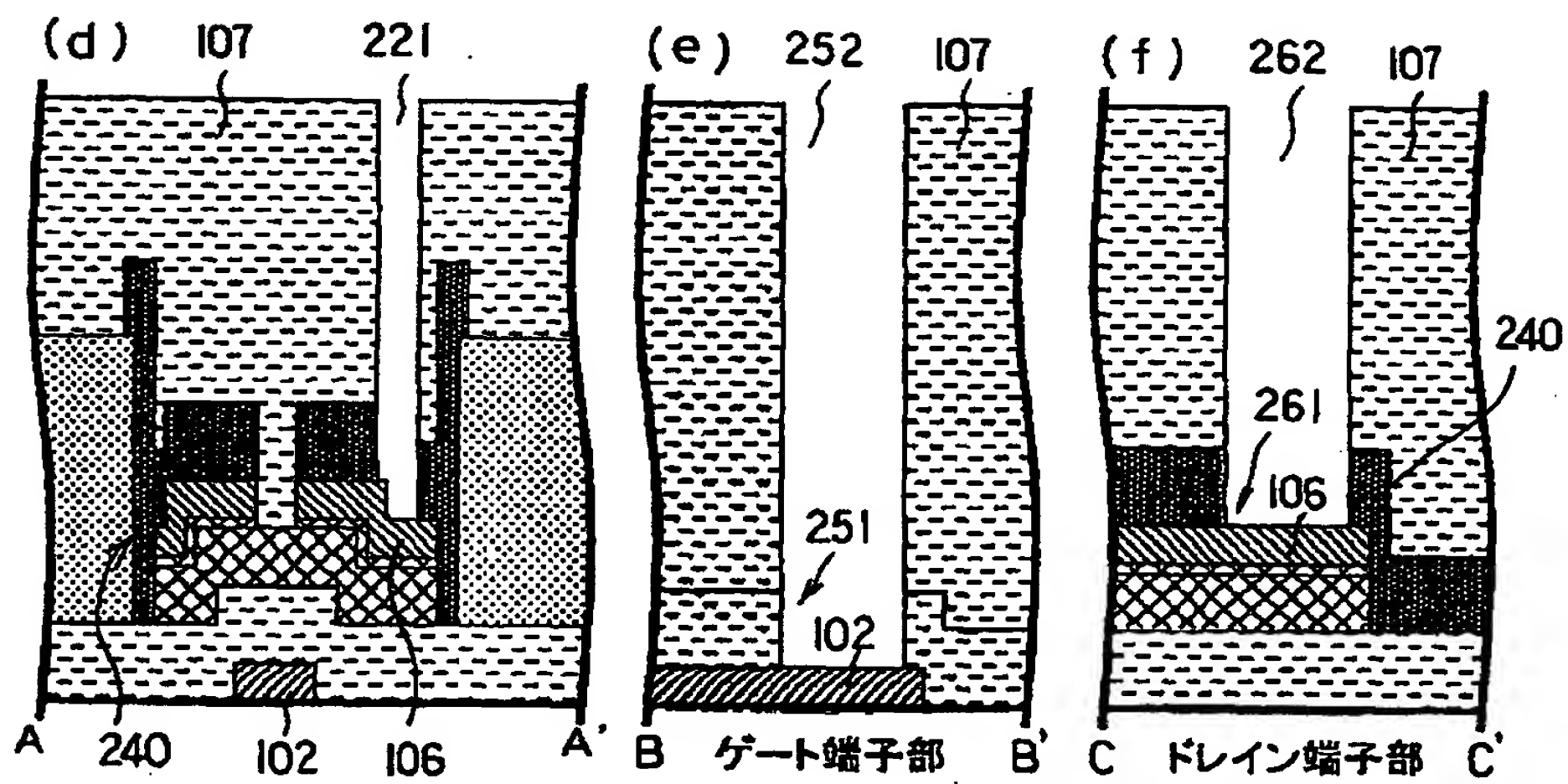
205:ドレイン電極 206:ソース電極 240:ブラックマトリクス



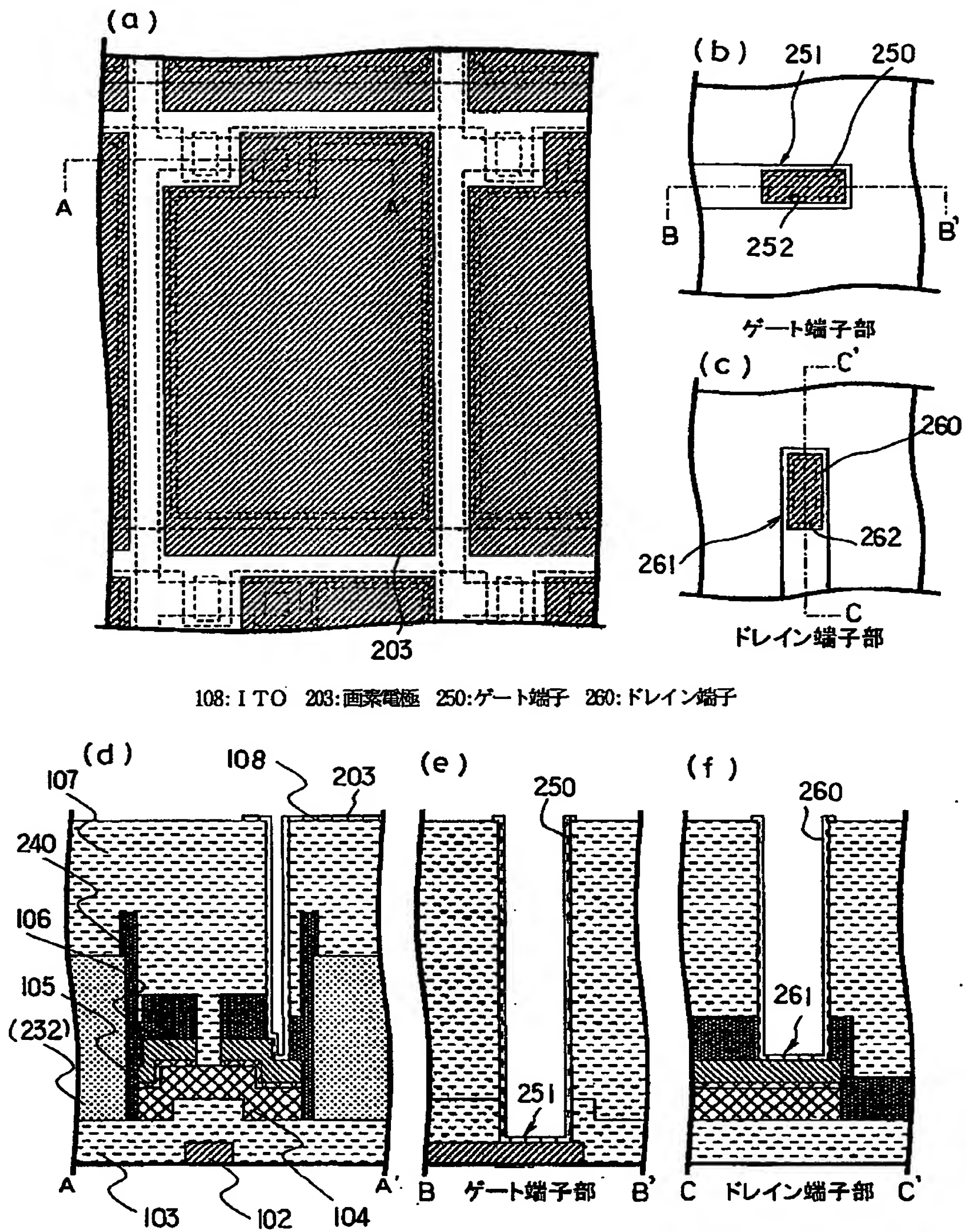
【図 7】



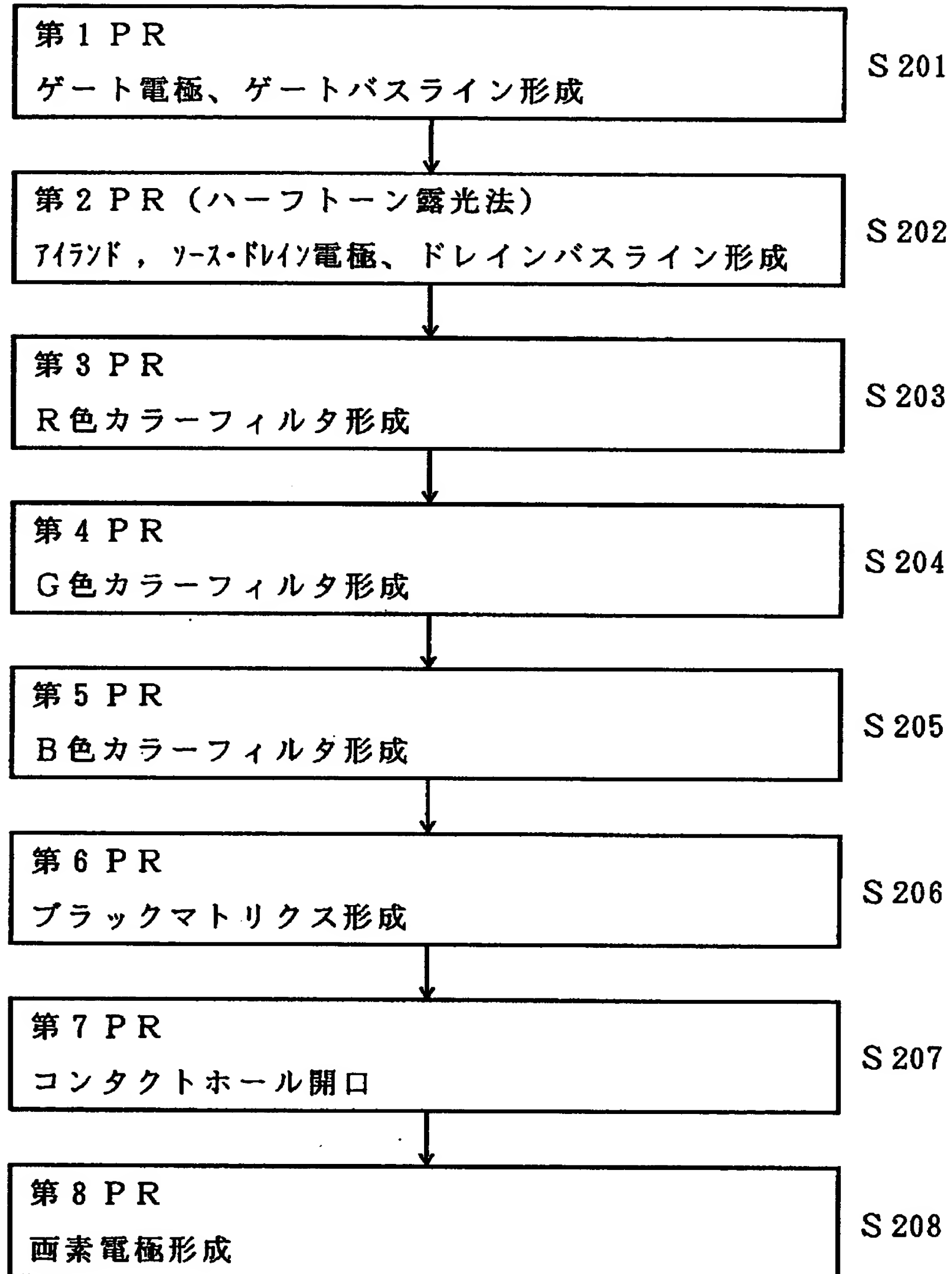
221:コンタクトホール 252:ゲート端子部コンタクトホール 262:ドレイン端子部コンタクトホール



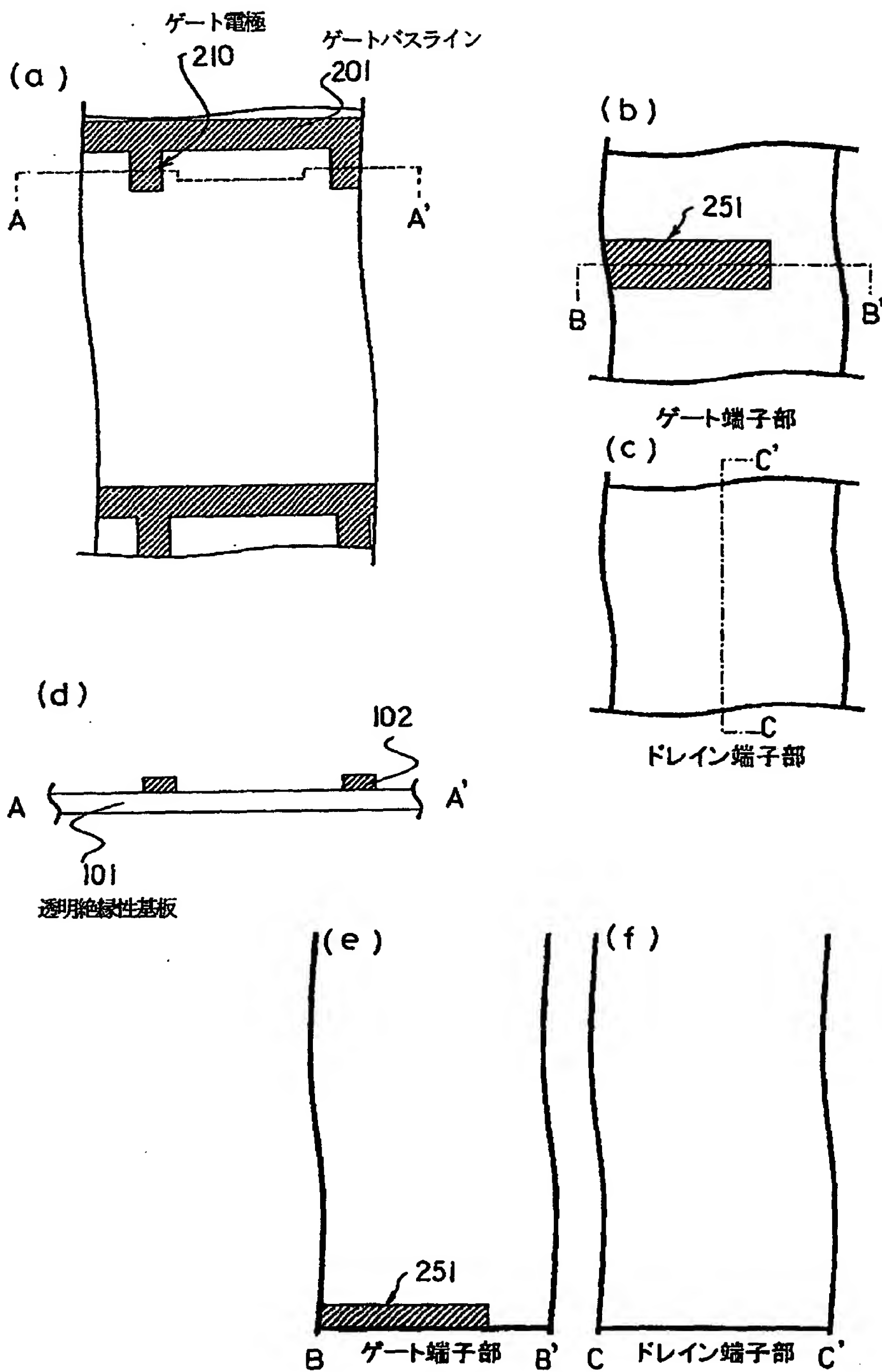
【図 8】



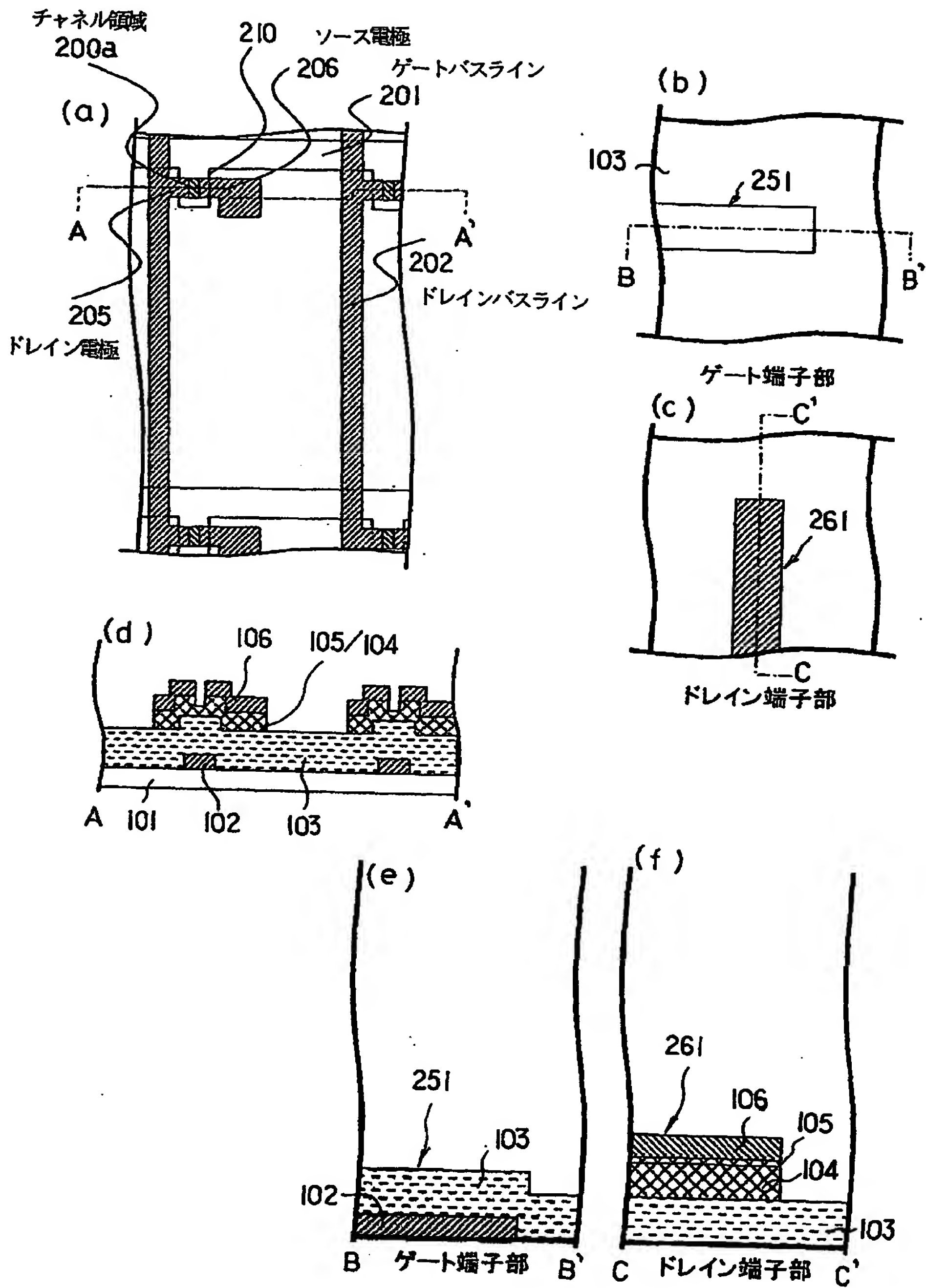
【図 9】



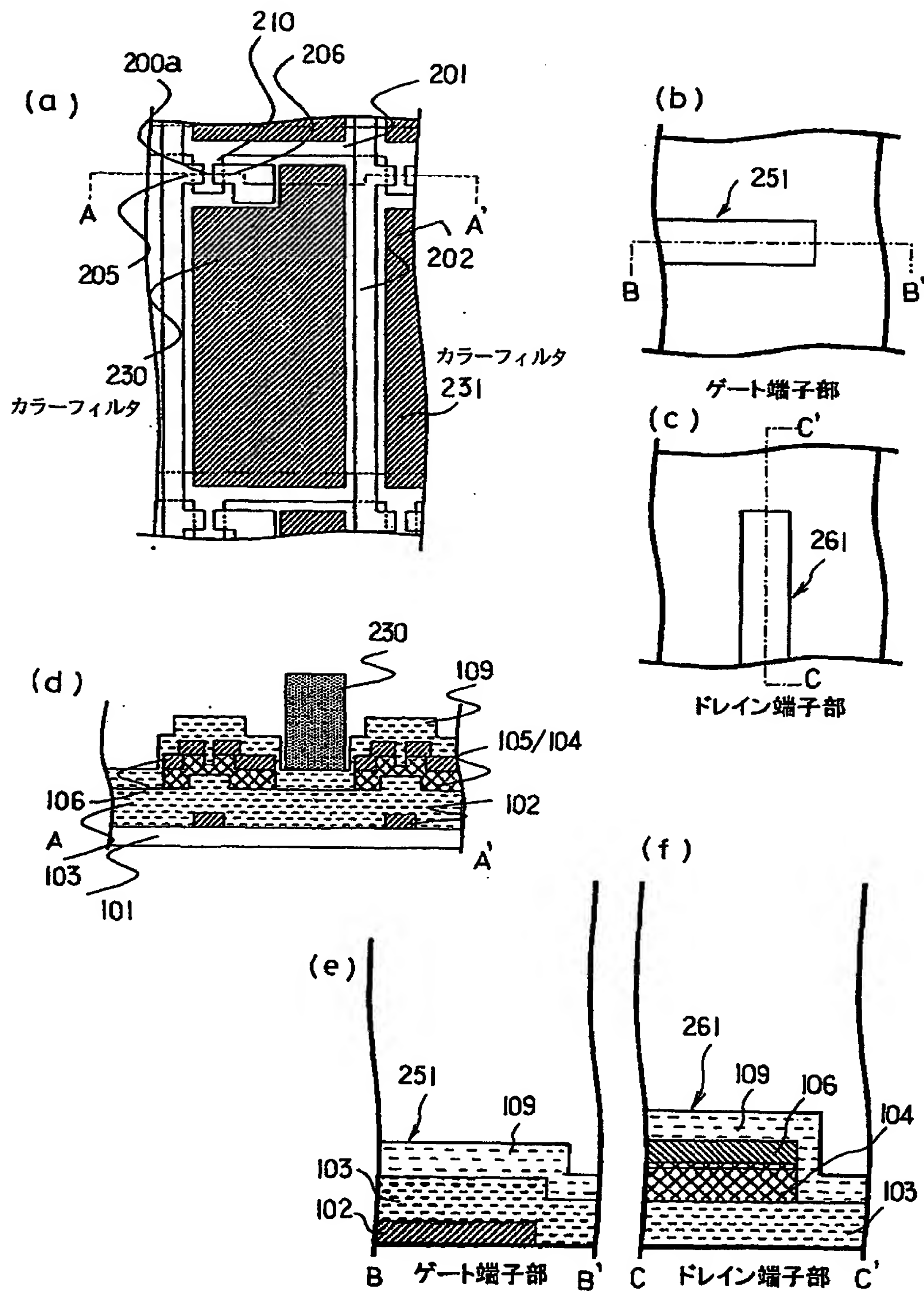
【図 10】



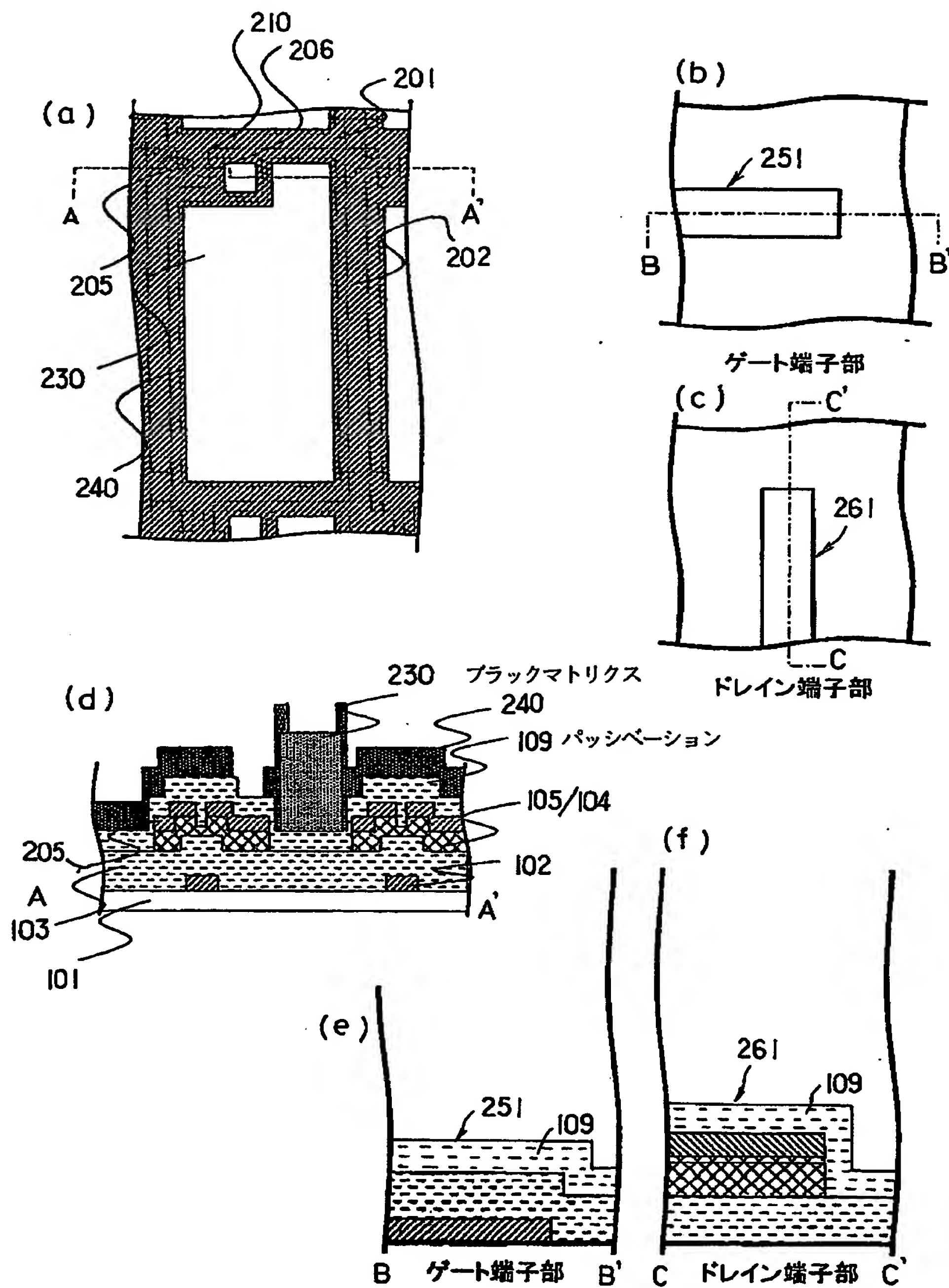
【図 11】



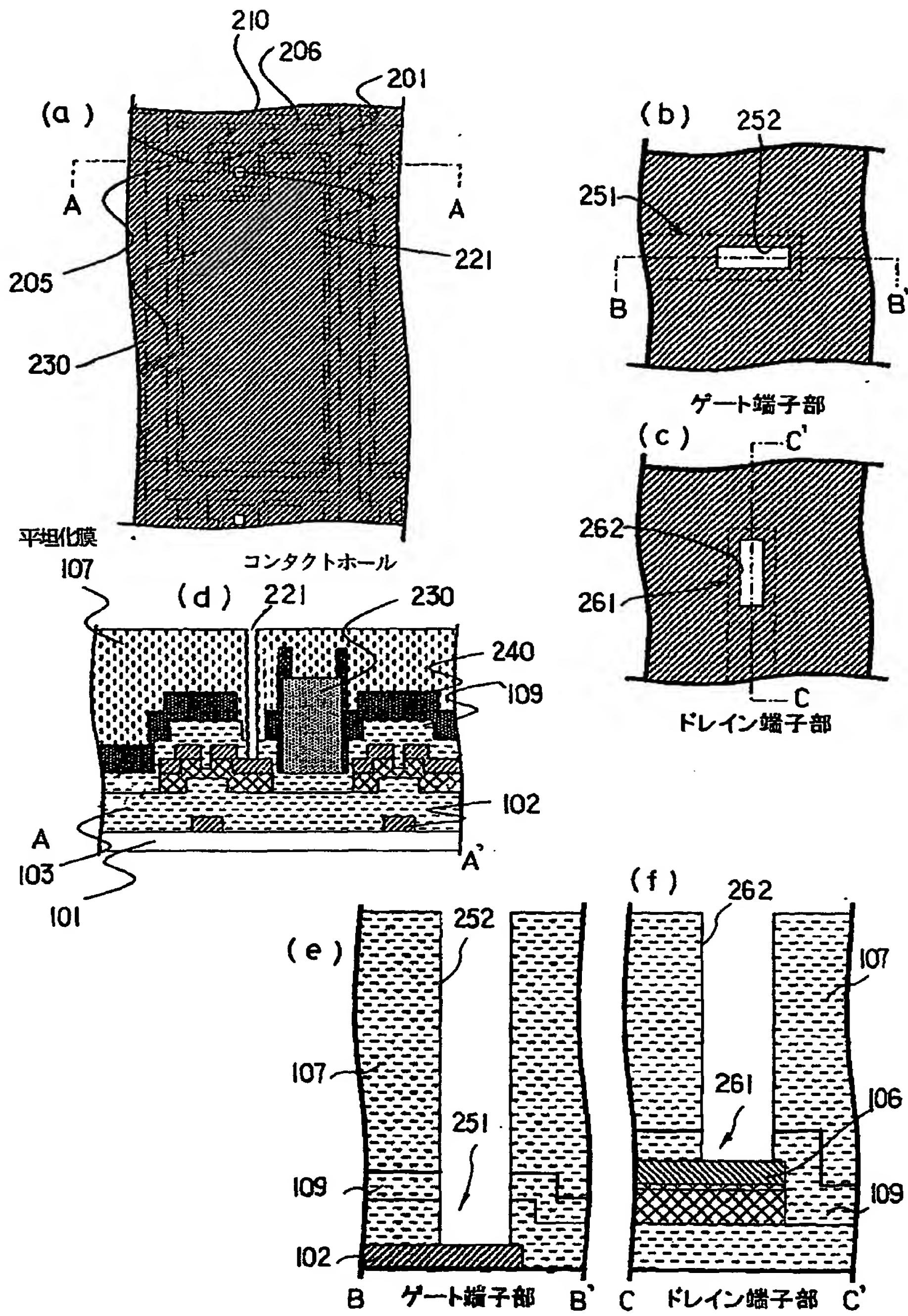
【図12】



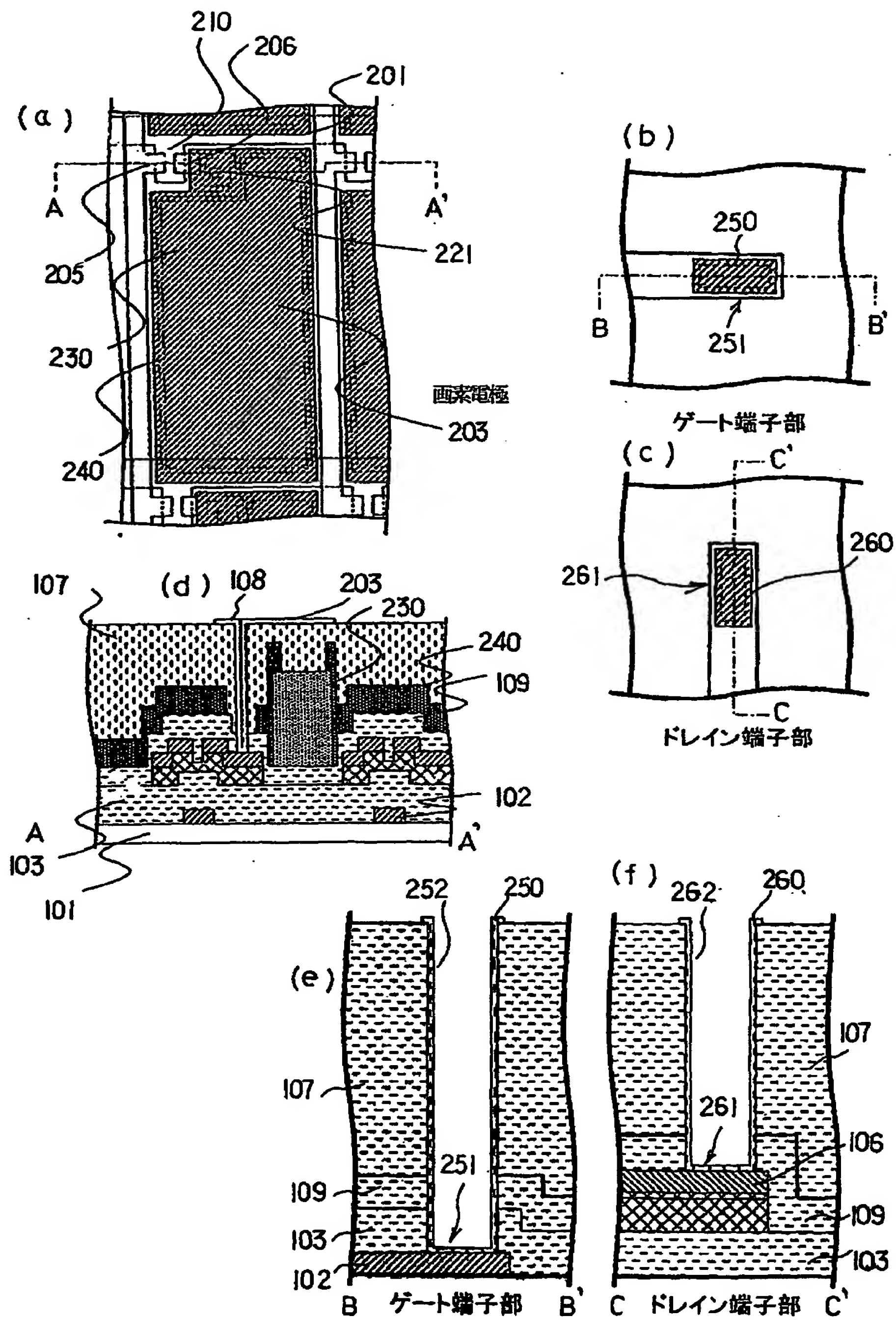
【図 1 3】



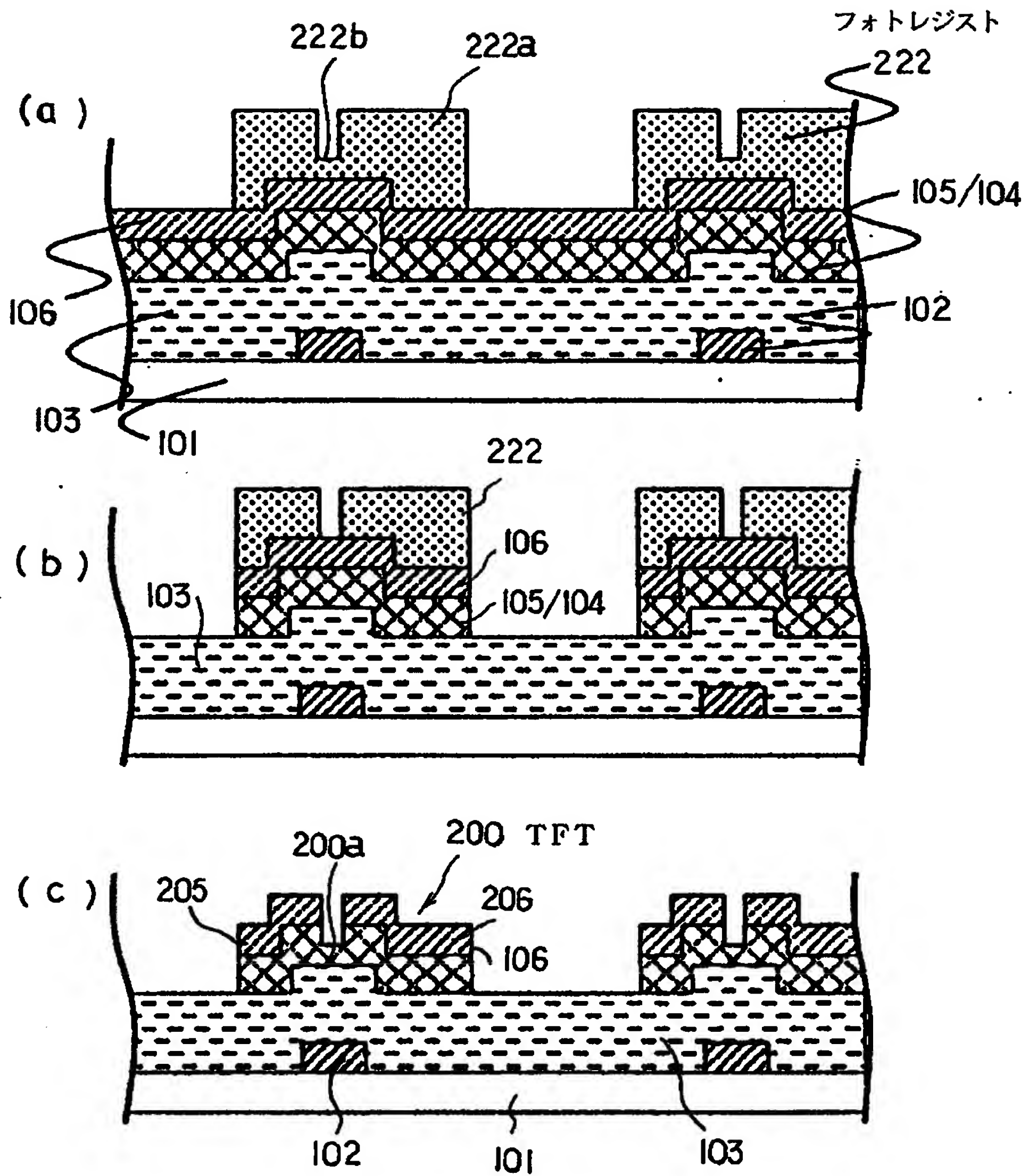
【図14】



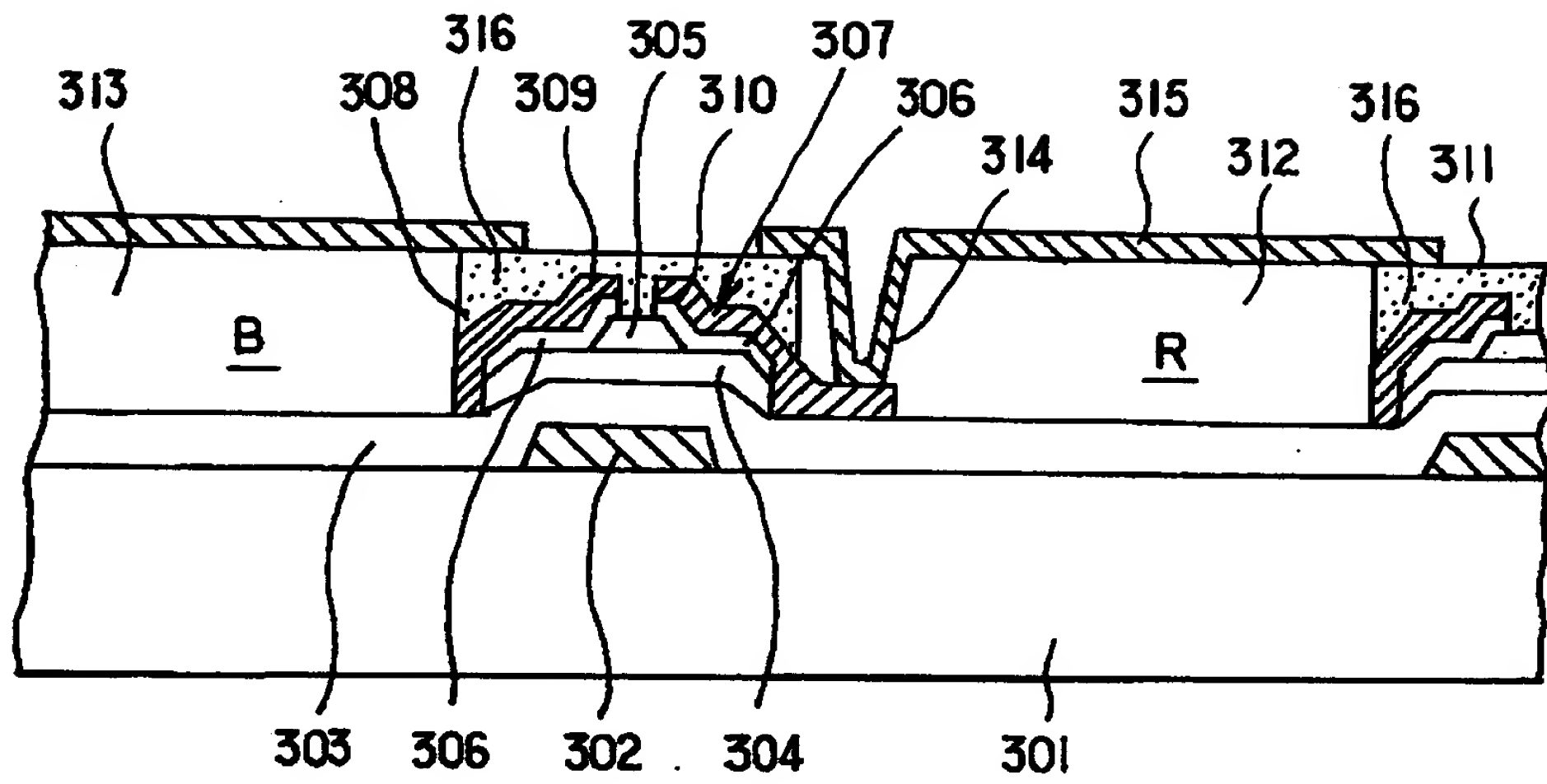
【図 15】



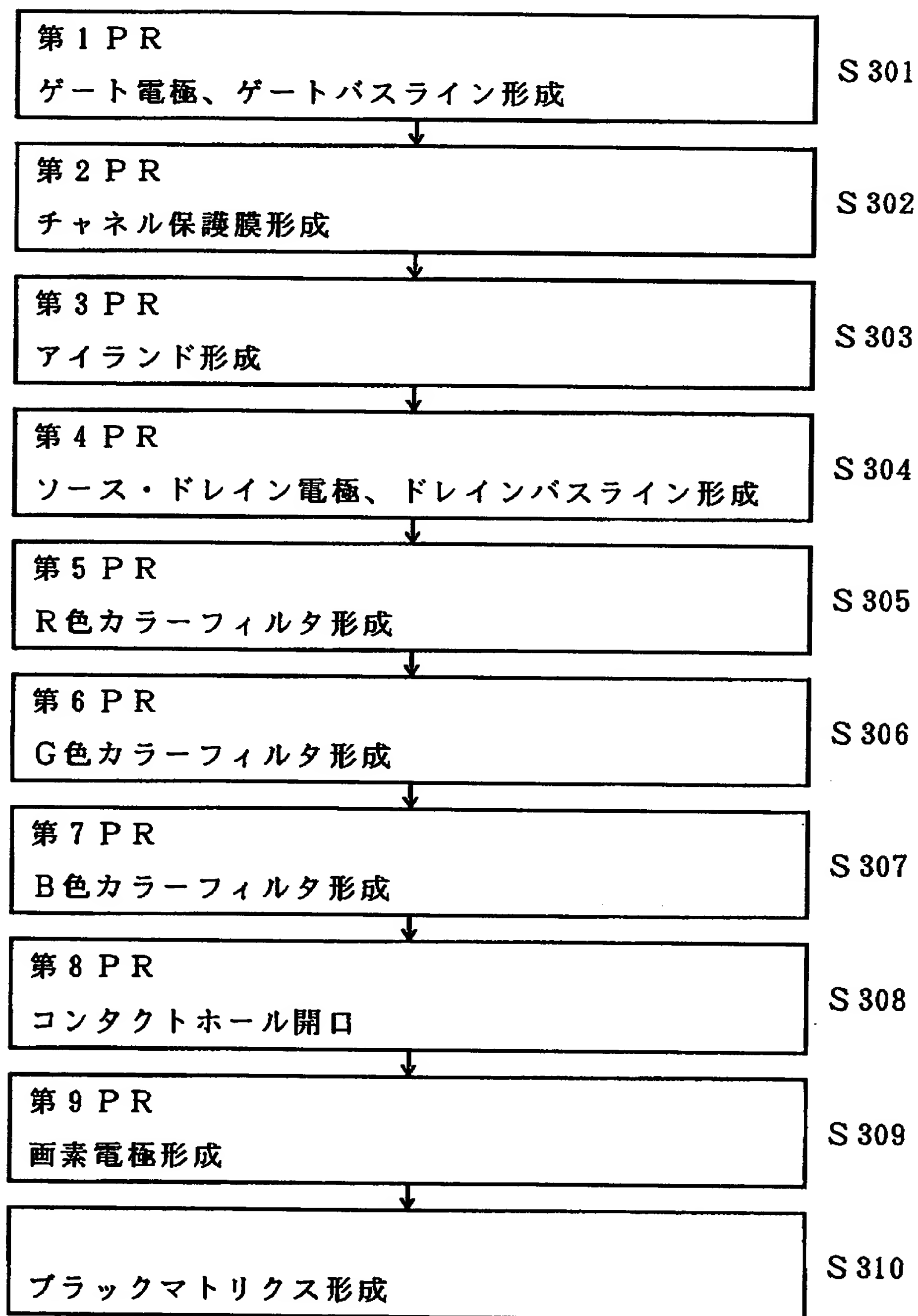
【図 1 6】



【図 1 7】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 フトリソグラフィ工程数を削減し、低コスト化を実現したカラー液晶表示装置とその製造方法を提供する。

【解決手段】 透明絶縁性基板に全面に第1導電膜を形成し、ゲート電極及びゲートバスラインを形成する第1PR工程（S101）と、全面にゲート絶縁膜、半導体層、オーミック層、第2導電膜を積層し、薄膜トランジスタのアイランド及びドレインバスラインを形成する第2PR工程（S102）と、透明絶縁性基板上の所要領域に三色のカラーフィルタを順次形成する第3ないし第5PR工程（S103～S105）と、全面に遮光膜を形成し、チャネル領域以外のアイランドを覆う領域とカラーフィルタを除く領域に遮光膜を残してブラックマトリクスを形成し、アイランドにおいて前記ブラックマトリクスをマスクにしてチャネル領域に相当する領域の第2導電膜及び前記オーミック層を除去してドレイン電極及びソース電極を形成する第6PR工程（S106）と、全面に平坦化膜を形成し、ソース電極を露出するコンタクトホールを開口する第7PR工程（S107）と、全面に透明電極を形成し、カラーフィルタに重なる領域を覆うように形成してソース電極に電気接続される画素電極を形成する第8PR工程（S108）とを含む。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日
[変更理由] 新規登録
住 所 東京都港区芝五丁目 7 番 1 号
氏 名 日本電気株式会社